

PROVA SCRITTA DEL MODULO INTEGRATO E DEL CORSO DI
CALCOLATORI ELETTRONICI
CORSO DI LAUREA IN INGEGNERIA BIOMEDICA
CORSO DI LAUREA IN INGEGNERIA ELETTRICA, ELETTRONICA E INFORMATICA
7 Febbraio 2019

NOME:

COGNOME:

MATRICOLA:

CFU:

ESERCIZIO 1 (8 punti)

Progettare una rete sequenziale che presenti un ingresso X e un'uscita Z posta a 1 ogni volta che viene riconosciuta la sequenza 11010.

Si richiede:

1. (4 punti) il diagramma degli stati, la tabella di flusso e la tabella delle transizioni;
2. (4 punti) il calcolo delle forme minime delle variabili di eccitazione dei flip flop con le mappe di Karnaugh. Si usino flip flop D. Calcolare anche la rete combinatoria per l'uscita Z.

ESERCIZIO 2 (10 punti)

Si consideri un'unità di memoria primaria da 1024 parole, ed una cache di 64 parole. La memoria è organizzata in blocchi da quattro parole ciascuno, e il metodo di indirizzamento è associativo su insiemi a due vie.

- 1) (2 punto) Spiegare, precisando bene il significato e la funzione dei diversi campi, come vengono interpretati gli indirizzi logici per recuperare l'informazione contenuta nella cache.
- 2) (5 punti) Supporre che vengano richieste, in sequenza, e per dieci volte consecutive, le parole dall'indirizzo 0 all'indirizzo 31 e dall'indirizzo 512 all'indirizzo 543. Motivando ogni passaggio intermedio, indicare chiaramente lo stato finale della cache dopo l'ultima chiamata e calcolare l'hit ratio.
- 3) (3 punti) Calcolare il valore minimo dell'hit ratio nel caso sia necessario avere un tempo medio di accesso ad una gerarchia cache-primaria inferiore a 10 ns, sapendo che il tempo medio di accesso in cache è 5 ns e quello di accesso alla primaria è 50 ns. Il valore di hit ratio trovato al punto precedente soddisfa queste specifiche?

ESERCIZIO 3 (9 punti)

Scrivere una funzione Assembly MIPS `moltiplica` che implementi il prodotto tra due numeri naturali forniti nei registri \$4 e \$5, senza far uso dell'istruzione `mul` o `mulu`. Il risultato dell'operazione venga memorizzato in \$7.

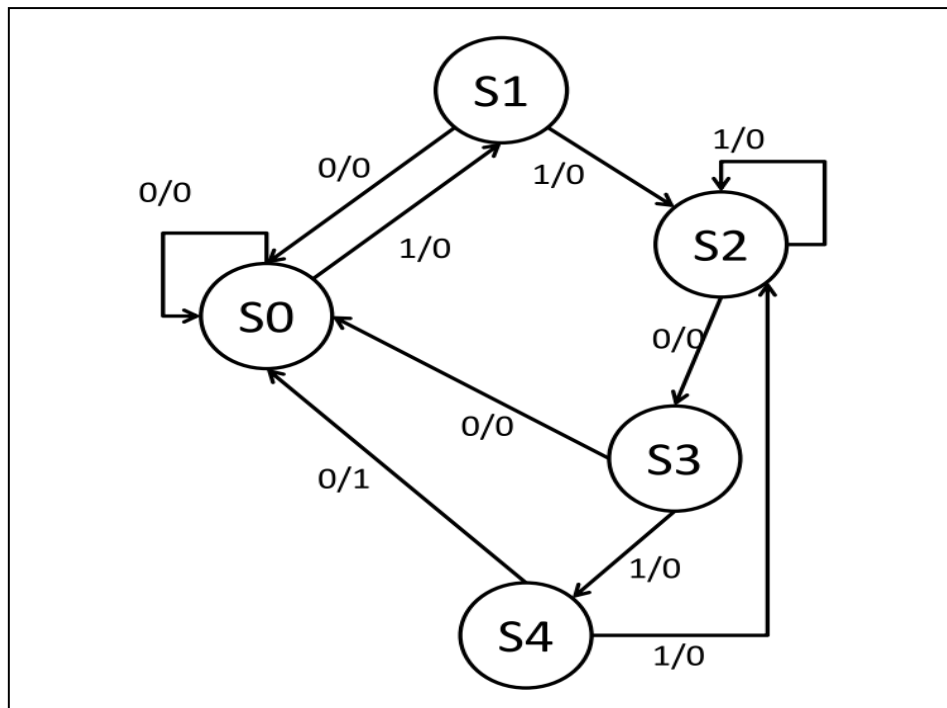
ESERCIZIO 4 (5 punti)

Si consideri un bus con frequenza 100 MHz, pari a quella del clock di sistema. La capacità del bus dati e bus indirizzi è di 32 bit. Il trasferimento attraverso il bus richiede tre cicli di clock. La memoria presenta un tempo di ciclo pari a 60 ns.

- 1) (3 punti) Spiegare e disegnare chiaramente il protocollo di lettura di una parola dalla memoria, precisando il numero minimo di segnali coinvolti nel processo e la tipologia di protocollo.
- 2) (2 punti) Calcolare il tempo di lettura di una parola da 128 bit, considerando una memoria indirizzata con 32 bit ed il protocollo testè descritto.

ESERCIZIO 1

Il diagramma degli stati è il seguente:



Cinque stati sono implementabili con tre FF, ma tre degli otto stati configurabili potranno liberamente associarsi a "don't care" (D). Utilizzando poi FF-D, non c'è bisogno di riportare i corrispondenti valori degli ingressi perché essi coincidono esattamente con i valori dello stato futuro ($DA=A'$, $DB=B'$, $DC=C'$):

A	B	C	X	A'	B'	C'	Z
0	0	0	0	0	0	0	0
0	0	0	1	0	0	1	0
0	0	1	0	0	0	0	0
0	0	1	1	0	1	0	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	0	0
0	1	1	0	0	0	0	0
0	1	1	1	1	0	0	0
1	0	0	0	0	0	0	1
1	0	0	1	0	1	0	0
1	0	1	0	D	D	D	0
1	0	1	1	D	D	D	0
1	1	0	0	D	D	D	0
1	1	0	1	D	D	D	0
1	1	1	0	D	D	D	0
1	1	1	1	D	D	D	0

Semplificando le espressioni delle rete logiche per la transizione dello stato:

		AB			
		00	01	11	10
CX	00			d	
	01			d	
	11		1	d	d
	10			d	d

$$D_A = BCX$$

		AB			
		00	01	11	10
CX	00		1	d	
	01		1	d	1
	11	1		d	d
	10			d	d

$$D_B = B\bar{C} + AX + \bar{B}CX$$

Uscita Z: $Z = A\bar{B}\bar{C}\bar{X}$

		AB			
		00	01	11	10
CX	00		1	d	
	01	1		d	
	11			d	d
	10			d	d

$$D_C = B\bar{C}\bar{X} + A\bar{B}\bar{C}X$$

ESERCIZIO 2

I campi di indirizzamento sono offset, set index, e tag.

I blocchi sono da quattro parole, quindi per la singola parola entro il blocco occorrono due bit, ovvero l'offset è di due bit.

Il numero di bit nei campi cache index e tag dell'indirizzo a dieci bit, dipende dal metodo di indirizzamento della cache. Poiché la cache è indirizzata con metodo set-associativo, il campo set index è dato dal numero di bit necessari per indirizzare la cache tolti i bit di offset e il bit non necessario per l'indirizzamento delle due vie per set. Poiché la cache si indirizza con 6 bit, abbiamo che il set index è dato tre bit.

In sintesi: < tag 5 bit > < set index 3 bit > < offset 2 bit >.

Se vengono richieste, in sequenza, le parole da 0 a 31, significa che vengono richiesti, in sequenza, i primi otto blocchi di memoria primaria. Infatti le prime trentadue parole, essendo raggruppate per quattro (dimensione di ogni blocco), corrispondono ai primi otto blocchi.

La cache, come si evince dai dati, è data da 64 parole, organizzate in otto set con due linee per set (ogni linea ha la stessa dimensione del blocco). Poiché il metodo è set-associativo, e la cache si può supporre inizialmente vuota, ciascuno dei blocchi viene copiato in cache nella prima linea libera di ciascun set, causando un miss e tre hit per ciascun blocco. Al termine del primo ciclo, avremo totalizzato dunque $3 \cdot 8 = 24$ hit su 32 chiamate complessive. Il secondo blocco di parole presenta la stessa sequenza di set index del precedente (per verificarlo è sufficiente dividere $512/4 = 128$, e poi $128/8 = 16$ con resto 0). Poiché il metodo è a due vie, i blocchi trovano spazio nella seconda linea libera di ciascun set, con $3 \cdot 8 = 24$ hit su 32 chiamate. Dall'iterazione 2 alla 10, tutte le parole risiedono in cache quindi avremo 64 hit per ciascuna delle nove iterazioni.

Quindi, l'hit ratio è dato da:

$$H_c = \frac{24 + 24 + 64 \cdot 9}{640} = \frac{48 + 576}{640} = 0.975$$

Per quanto riguarda lo stato finale della cache, dal ragionamento fatto sopra:

Set	Contiene le parole...
0	(linea 0) 0-3, (linea 1) 512-515
1	4-7, 516-519
2	8-11, 520-523
3	12-15, 524-527
4	16-19, 528-531
5	20-23, 532-535
6	24-27, 536-539
7	28-31, 540-543

Il valore minimo dell'hit ratio dati i valori nel testo si calcola dalla formula:

$$T_c + (1 - H_c) \cdot T_p < T_m = 10$$

$$\text{Da cui: } H_c > \frac{T_c + T_p - T_m}{T_p} = \frac{5 + 50 - 10}{50} = \frac{45}{50} = 0.9$$

Dove T_c è il tempo di accesso in cache, T_p il tempo di accesso in primaria, T_m il tempo medio di accesso alla gerarchia. Dal calcolo risulta evidente che il valore di H_c trovato nel punto precedente soddisfa le specifiche, avendo ottenuto un hit ratio pari 0.975 chiaramente superiore a 0.9.

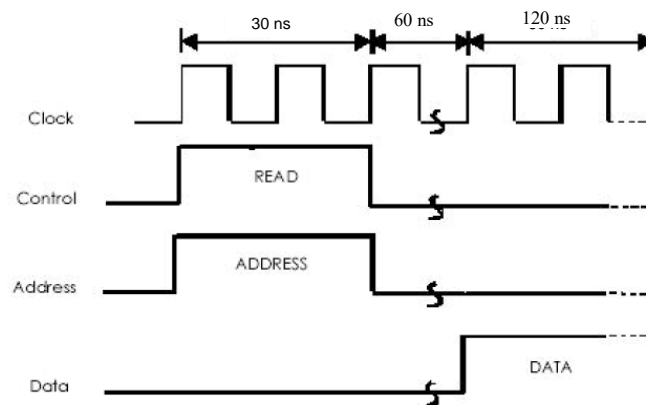
ESERCIZIO 3

Soluzione

```
moltiplica:  addi $29, $29, -4
              sw $8, 0($29)
              move $7, $0
              move $8, $0
loop:        beq $8, $5, exit
              add $7, $7, $4
              addi $8, $8, 1
              j loop
exit:        lw $8, 0($29)
              addi $29, $29, 4
              jr $31
```

ESERCIZIO 4

Il protocollo prevede attivazione del segnale di READ e contestualmente rilascio dell'indirizzo della parola da cercare (30 ns); tempo di ciclo della memoria (60 ns); trasferimento dati dalla memoria alla CPU (120 ns):



Il tempo complessivo di trasferimento è dato dunque da $(30 + 60 + 120) \text{ ns} = 210 \text{ ns}$