

**PROVA SCRITTA DEL CORSO DI  
CALCOLATORI ELETTRONICI  
NUOVO ORDINAMENTO DIDATTICO  
4 Luglio 2006**

**MOTIVARE IN MANIERA CHIARA LE SOLUZIONI PROPOSTE A CIASCUNO DEGLI ESERCIZI SVOLTI**

**ESERCIZIO 1 (8 punti)**

- a) (6 punti) Disegnare la rete logica di un FF-D mostrando tutti i collegamenti e le porte logiche.
- b) (2 punti) Indicare se la rete logica relativa alla domanda precedente è combinatoria o sequenziale e spiegare perché.

**ESERCIZIO 2 (10 punti)**

E' data una gerarchia di memorie cache-primaria. La memoria primaria è di 512 KB mentre la cache è di 64 KB. E' possibile indirizzare il singolo byte, e la memoria primaria è suddivisa in blocchi di 32 B.

- a) (2 punti) Indicare, sapendo che l'indirizzo della prima parola è pari a 0, l'indirizzo della prima e dell'ultima parola del blocco di memoria primaria con block frame pari a 16.
- b) (3 punti) Indicare, specificando l'ampiezza e la funzione dei diversi campi, come vengono interpretati gli indirizzi di memoria primaria secondo il metodo di indirizzamento associativo, set-associativo a otto vie, diretto.
- c) (3 punti) Ipotizzando la cache piena, indicare in quale linea di cache viene allocato il blocco indicato nel punto a con i metodi di indirizzamento esaminati nel punto b. Si indichi e descriva, dove necessario, almeno un algoritmo di rimpiazzamento.
- d) (2 punti) Calcolare il tempo medio di accesso alla gerarchia sapendo che l'hit ratio di cache è pari a 0.95, il tempo di accesso alla cache è pari a 4 ns, il tempo di accesso alla primaria è pari a 40 ns.

**ESERCIZIO 3 (9 punti)**

Dato un vettore di interi non negativi  $v$  ed un intero  $z$ , scrivere una funzione Assembler MIPS che scriva nella posizione  $k$  del vettore  $w$  il valore dato dal fattoriale di  $v[i]$ , se  $v[i]$  risulta strettamente minore di  $z$ .

La funzione presenta l'indirizzo iniziale di  $v$  in  $\$4$ , la dimensione di  $v$ ,  $N$ , in  $\$5$ ,  $z$  in  $\$6$  e l'indirizzo iniziale di  $w$  in  $\$7$ . Implementando la funzione si ipotizzi di usare una funzione `fattoriale(h)` che ricevendo nel registro  $\$4$  il valore  $h$ , scriva nel registro  $\$5$  il fattoriale di  $h$ .

Ad esempio, il codice MIPS potrebbe implementare il seguente codice C:

```
void elabora(int *v, int N, int z, int *w)
{
    int i, k;
    k=0;
    for (i=0; i<N; i++)
        if (v[i]<z)
        {
            w[k]=fattoriale(v[i]);
            k++;
        }
}
```

**ESERCIZIO 4 (6 punti)**

L'ampiezza della linea dati del bus di un calcolatore è pari a 32 bit. La frequenza del clock della CPU è di 400 MHz. Sapendo che un bus sincrono presenta la stessa frequenza di clock della CPU e la durata di una trasmissione sul bus impiega 4 cicli di clock e che il tempo di ciclo della memoria richiede 15 cicli di clock, illustrare chiaramente il protocollo di lettura su bus sincrono utilizzando l'opportuno grafico, indicando il tempo complessivo di trasferimento di una parola da 32 bit.

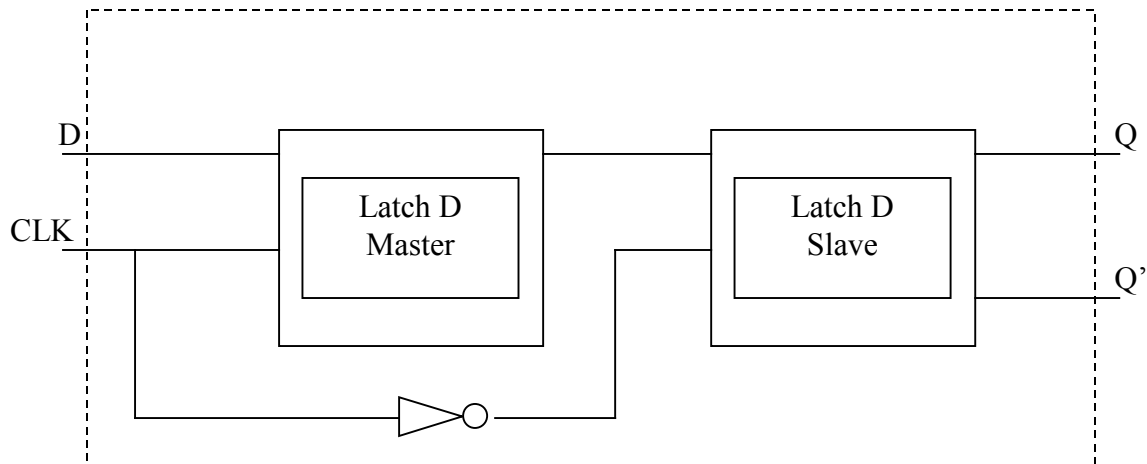
**ESERCIZIO 1 (8 punti)**

- a) (6 punti) Disegnare la rete logica di un FF-D mostrando tutti i collegamenti e le porte logiche.  
b) (2 punti) Indicare se la rete logica relativa alla domanda precedente è combinatoria o sequenziale e spiegare perché.

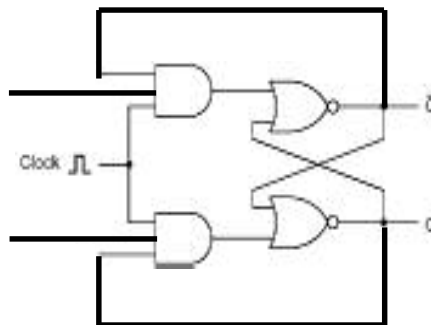
**Soluzione.**

a)

Come tutti i FF, il FF-D è dato dalla connessione master-slave di due latch D.



Il Latch D è invece dato da un latch JK ottenuto connettendo l'ingresso J con K' (l'apice indica la negazione). L'insieme delle connessioni e delle porte logiche può dunque ottenersi a partire dal latch JK mostrato sotto connettendo opportunamente gli ingressi e collegando due latch così ottenuto nella modalità illustrata nella figura precedente.



- b) La rete logica è ovviamente sequenziale in quanto presenta retroazione delle uscite.

## ESERCIZIO 2 (10 punti)

E' data una gerarchia di memorie cache-primaria. La memoria primaria è di 512 KB mentre la cache è di 64 KB. E' possibile indirizzare il singolo byte, e la memoria primaria è suddivisa in blocchi di 32 B.

- a) (2 punti) Indicare, sapendo che l'indirizzo della prima parola è pari a 0, l'indirizzo della prima e dell'ultima parola del blocco di memoria primaria con block frame pari a 16.
- b) (3 punti) Indicare, specificando l'ampiezza e la funzione dei diversi campi, come vengono interpretati gli indirizzi di memoria primaria secondo il metodo di indirizzamento associativo, set-associativo a otto vie, diretto.
- c) (3 punti) Ipotezzando la cache piena, indicare in quale linea di cache viene allocato il blocco indicato nel punto a con i metodi di indirizzamento esaminati nel punto b. Si indichi e descriva, dove necessario, almeno un algoritmo di rimpiazzamento.
- d) (2 punti) Calcolare il tempo medio di accesso alla gerarchia sapendo che l'hit ratio di cache è pari a 0.95, il tempo di accesso alla cache è pari a 4 ns, il tempo di accesso alla primaria è pari a 40 ns.

### Soluzione.

- a) Indirizzo della prima parola:  $\text{Block Frame} * \text{DimBlocco} = 16 * 32 = 512$ . Indirizzo dell'ultima = Indirizzo della prima + DimBlocco - 1 =  $512 + 32 - 1 = 543$ .
- b) Memoria indirizzabile  $2^{19}$  B  $\rightarrow$  19 bit di indirizzamento, di cui 5 per l'offset (i blocchi sono di  $2^5$  B).  
Nel caso del metodo associativo, si ha:  
    < Block Frame (TAG) 14 bit > < Offset 5 bit >  
La cache è invece formata da  $2^{16}$  B, da cui  
    < TAG 3 bit > < C.I. 11 bit > < Offset 5 bit >  
Infine, nel caso del metodo set-associativo a otto vie:  
    < TAG 6 bit > < C.I. 8 bit > < Offset 5 bit >.
- c) Metodo associativo: a meno che in una delle linee della cache non sia presente un blocco con medesimo TAG, il blocco dovrà essere allocato nel blocco soddisfacente ad esempio l'algoritmo di rimpiazzamento FIFO, per il quale il primo blocco da rimpiazzare è il primo ad essere stato allocato in cache.  
Metodo diretto: è necessario calcolare il resto della divisione  $16/2^{11}$ . Tale operazione da evidentemente 16. Quindi il blocco 16 di primaria viene allocato, sostituendo il blocco precedente, se con TAG diverso, nella linea 16 di cache.  
Metodo set-associativo: è necessario calcolare il resto della divisione  $16/2^8$ . Anche in questo caso il valore ottenuto è 16, che però corrisponde all'indirizzo dell'insieme. Il blocco 16 sostituirà, a meno di hit, uno degli otto blocchi allocati in altrettante linee, ad esempio con strategia FIFO.
- d) E' sufficiente applicare la formula del tempo medio di accesso:  
$$T = T_c + (1-H_c) * T_p = 4 + 0.05 * 40 = 6 \text{ ns.}$$

### ESERCIZIO 3 (9 punti)

Dato un vettore di interi non negativi  $v$  ed un intero  $z$ , scrivere una funzione Assembler MIPS che scriva nella posizione  $k$  del vettore  $w$  il valore dato dal fattoriale di  $v[i]$ , se  $v[i]$  risulta strettamente minore di  $z$ .

La funzione presenta l'indirizzo iniziale di  $v$  in  $\$4$ , la dimensione di  $v$ ,  $N$ , in  $\$5$ ,  $z$  in  $\$6$  e l'indirizzo iniziale di  $w$  in  $\$7$ . Implementando la funzione si ipotizzi di usare una funzione `fattoriale(h)` che ricevendo nel registro  $\$4$  il valore  $h$ , scriva nel registro  $\$5$  il fattoriale di  $h$ .

Ad esempio, il codice MIPS potrebbe implementare il seguente codice C:

```
void elabora(int *v, int N, int z, int *w)
{
    int i, k;
    k=0;
    for (i=0; i<N; i++)
        if(v[i]<z)
        {
            w[k]=fattoriale(v[i]);
            k++;
        }
}
```

#### Soluzione.

$\$8 \leftarrow i$  ;  $\$9 \leftarrow \&v[i]$ ,  $\&w[k]$  ;  $\$10 \leftarrow k$ ;  $\$12 \leftarrow (v[i]<z)$ ;  $\$13 \leftarrow$  copia di  $\$4$ ;  $\$14 \leftarrow$  copia di  $\$5$

```
elabora:      addi $29, $29, -28
              sw $8, 0($29)
              sw $9, 4($29)
              sw $10, 8($29)
              sw $12, 12($29)
              sw $13, 16($29)
              sw $14, 20($29)
              sw $31, 24($29)
              move $13, $4
              move $14, $5
              move $10, $0
              move $8, $0
for:          beq $8, $14, exit
              muli $9, $8, 4
              add $9, $9, $13
              lw $4, 0($9)
              slt $12, $4, $6
              beq $12, $0, aggiorna_i
              jal fattoriale
              muli $9, $10, 4
              add $9, $9, $7
              sw $5, 0($9)
              addi $10, $10, 1
aggiorna_i:   addi $8, $8, 1
              j for
exit:         move $4, $13
              move $5, $14
              lw $8, 0($29)
              lw $9, 4($29)
              lw $10, 8($29)
              lw $12, 12($29)
              lw $13, 16($29)
              lw $14, 20($29)
              lw $31, 24($29)
              addi $29, $29, 28
              jr $31
```

#### ESERCIZIO 4 (6 punti)

L'ampiezza della linea dati del bus di un calcolatore è pari a 32 bit. La frequenza del clock della CPU è di 400 MHz. Sapendo che un bus sincrono presenta la stessa frequenza di clock della CPU e la durata di una trasmissione sul bus impiega 4 cicli di clock e che il tempo di ciclo della memoria richiede 15 cicli di clock, illustrare chiaramente il protocollo di lettura su bus sincrono utilizzando l'opportuno grafico, indicando il tempo complessivo di trasferimento di una parola da 32 bit.

#### Soluzione:

La durata di un ciclo di clock è pari a  $1/(400 \text{ MHz}) = 2.5 \text{ ns}$

La lettura su un bus sincrono avviene secondo il protocollo seguente:

- Segnale di READ sulla linea di controllo e contemporaneamente l'indirizzo della locazione in cui risiede il dato sulla linea indirizzi:

**4 cicli di clock = 10 ns**

- Lettura della parola dalla memoria: **37.5 ns**

- Trasferimento della parola dalla memoria:  
se la parola da leggere ha ampiezza pari a 32 bit

**trasferimento della parola = 10 ns**

**Tempo totale per leggere una parola dalla memoria =  $(10 + 37.5 + 10) \text{ ns} = 57.5 \text{ ns}$**

