

SOLUZIONI DELLA PROVA SCRITTA DEL CORSO DI
CALCOLATORI ELETTRONICI
VECCHIO ORDINAMENTO DIDATTICO
 29 Settembre 2000

MOTIVARE IN MANIERA CHIARA LE SOLUZIONI PROPOSTE A CIASCUNO DEGLI ESERCIZI SVOLTI

ESERCIZIO 1 (7 punti)

Si consideri una rete sequenziale avente un ingresso x e una uscita z . L'uscita $z = 1$ quando viene riconosciuta la sottosequenza 010011. Negli altri casi l'uscita $z = 0$.

1. Disegnare il diagramma degli stati (3 punti)
2. Codificare gli stati e scrivere la tabella di flusso. Si scriva poi la tabella delle transizioni qualora si usino flip-flop di tipo T. (2 punti)
3. Calcolare le forme minime per le variabili di eccitazione dei flip-flop e per l'uscita impiegando le mappe di Karnaugh. (2 punti)

Soluzione

Grafo degli stati

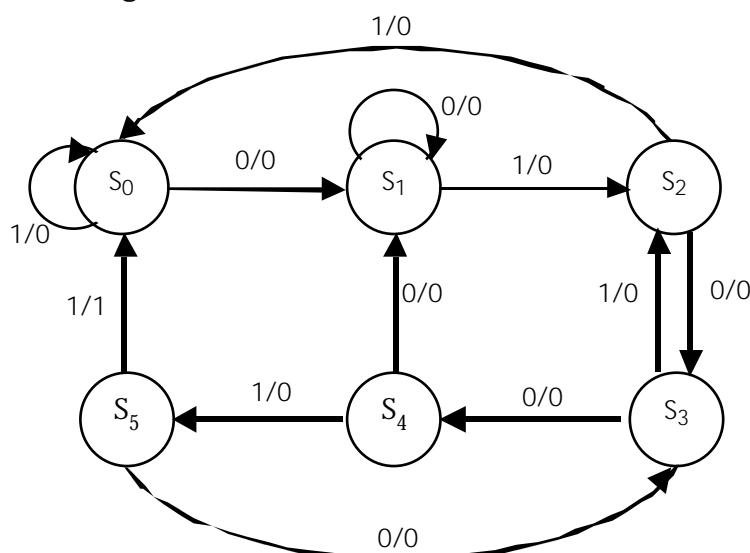


Tabella di flusso

Stato iniziale	Stato finale/uscita	
	$x = 0$	$x = 1$
S_0	$S_1/0$	$S_0/0$
S_1	$S_1/0$	$S_2/0$
S_2	$S_3/0$	$S_0/0$
S_3	$S_4/0$	$S_2/0$
S_4	$S_1/0$	$S_5/0$
S_5	$S_3/0$	$S_0/1$

Codifica degli stati (3 bit - $Y_2Y_1Y_0$)

$S_0 \rightarrow 000$ $S_1 \rightarrow 001$
 $S_2 \rightarrow 010$ $S_3 \rightarrow 011$
 $S_4 \rightarrow 100$ $S_5 \rightarrow 101$

Tabella delle transizioni (FF-T) Y' indica lo stato futuro

Y_2	Y_1	Y_0	x	Y'_2	T_2	Y'_1	T_1	Y'_0	T_0	z
0	0	0	0	0	0	0	0	1	1	0
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	0	0	0	0	1	0	0
0	0	1	1	0	0	1	1	0	1	0
0	1	0	0	0	0	1	0	1	1	0
0	1	0	1	0	0	0	1	0	0	0
0	1	1	0	1	1	0	1	0	1	0
0	1	1	1	0	0	1	0	0	1	0
1	0	0	0	0	1	0	0	1	1	0
1	0	0	1	1	0	0	0	1	1	0
1	0	1	0	0	1	1	1	1	0	0
1	0	1	1	0	1	0	0	0	1	1
1	1	0	0	d	d	d	d	d	d	d
		⋮					⋮			
1	1	1	1	d	d	d	d	d	d	d

Flip-flop T		
Y	Y'	T
0	0	0
0	1	1
1	0	1
1	1	0

Uscita $z = Y_2 Y_0 x$

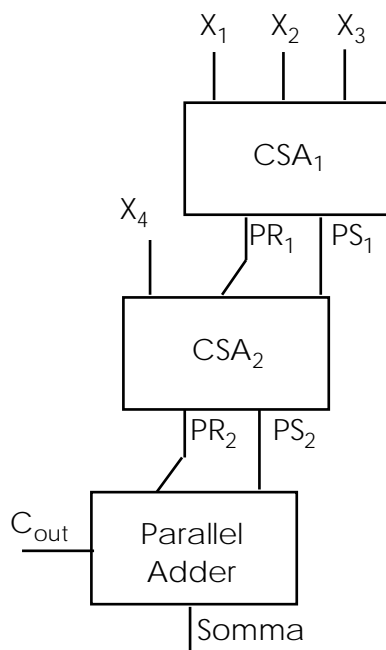
$T_2 = Y_2 \bar{x} + Y_2 Y_0 + Y_1 Y_0 \bar{x}$	$T_1 = \bar{Y}_2 \bar{Y}_1 Y_0 x + Y_1 \bar{Y}_0 x + Y_1 Y_0 \bar{x} + Y_2 Y_0 \bar{x}$	$T_0 = \bar{Y}_0 \bar{x} + Y_2 \bar{Y}_0 + Y_0 x + Y_1 Y_0$
---	---	---

ESERCIZIO 2 (6 punti)

Si vogliono sommare i seguenti quattro numeri a 8 bit: $X_1 = 01101010$, $X_2 = 10100100$, $X_3 = 00101010$, $X_4 = 00010010$. Disegnare lo schema che permette di eseguire tale somma usando due addizionatori del tipo "Carry Save Adder" ed un "Parallel Adder" finale. Gli addizionatori "Carry Save Adder" lavorano su tre operandi. Precisare il valore assunto dalla Pseudosomma e dal Pseudoriporto all'uscita del primo e del secondo "Carry Save Adder" e le operazioni eseguite per ottenere la somma finale. (4 punti)
Spiegare quantitativamente quale vantaggio si ottiene usando addizionatori del tipo carry-save al posto di addizionatori paralleli. (2 punti)

Soluzione

Schema:



L'addizionatore "Carry Save Adder" fornisce in uscita due parole a 8 bit: la Pseudosomma e il Pseudoriporto. La Pseudosomma (PS) rappresenta il risultato della somma dei tre addendi senza considerare i riporti, mentre il Pseudoriporto (PR) rappresenta solo i riporti relativi a ciascuno stadio. Il risultato completo lo si ottiene sommando $PS + 2 PR$. Un possibile schema per eseguire la somma richiesta è riportato in figura, dove con un tratto obliquo si è indicato lo "scorrimento" verso sinistra (moltiplicazione per 2) necessario per sommare il PR al PS.

Somma di $X_1 + X_2 + X_3$:

$$PS_1 = 11100100, PR_1 = 00101010; 2 PR_1 = 01010100$$

Somma di $X_4 + PS_1 + 2 PR_1$:

$$PS_2 = 10100010, PR_2 = 01010100; 2 PR_2 = 10101000$$

$$\text{Somma finale} = PS_2 + 2 PR_2 = 01001010, C_{out} = 1$$

Vantaggio carry save adder rispetto ad addizionatore parallelo. Per effettuare la somma di 4 addendi usando solo parallel adder sarebbero necessari 3 parallel adder, dunque il vantaggio non è nel numero di componenti. Il vantaggio risiede nella maggior velocità dell'operazione: gli addizionatori del tipo carry save non hanno i ritardi dovuti alla propagazione del riporto, dunque il risultato si ottiene dopo un ritardo corrispondente a una rete a due o tre livelli, a seconda della rete usata per calcolare somma e riporto. L'unico ritardo dovuto alla propagazione del riporto è presente solo nell'ultimo stadio. Se indichiamo con d il ritardo per il calcolo di somma e

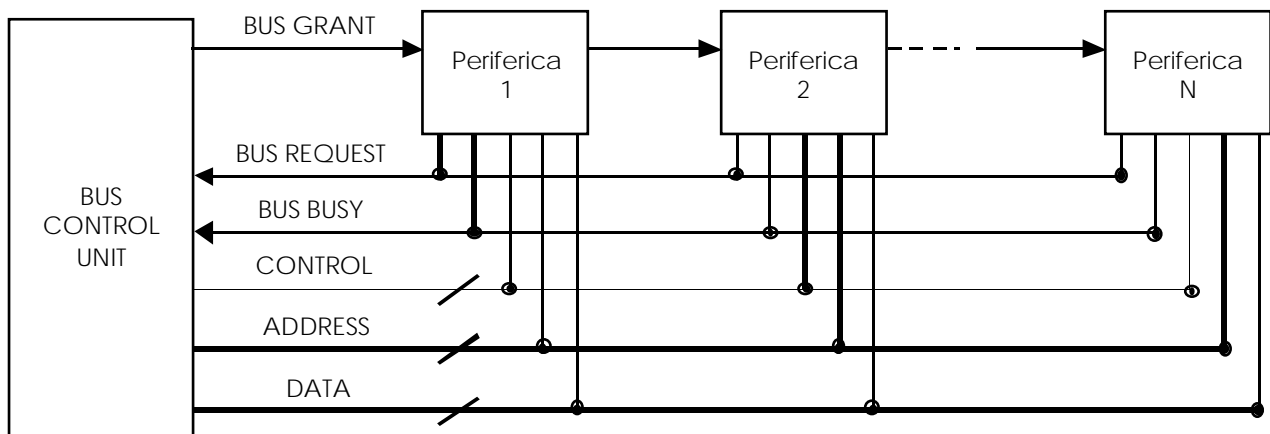
riporto per un full-adder, un parallel adder a 8 bit produce il risultato con un ritardo pari a $8d$, mentre un carry save adder produce il risultato in termini di PS e PR con un ritardo pari a d . Nel caso in esame (somma di 4 addendi con 2 addizionatori carry-save e un addizionatore parallelo) avremo un ritardo pari a $d + d + 8d = 10d$, mentre usando 3 parallel adder il ritardo nella produzione del risultato sarebbe pari a $3 \cdot 8d = 24d$

ESERCIZIO 3 (7 punti)

Un certo numero di periferiche sono collegate al calcolatore per mezzo di un bus sincrono. L'arbitraggio viene effettuato secondo lo schema "daisy chain".

1. Mostrare lo schema di collegamento delle periferiche al bus indicando le diverse linee che devono essere presenti nel bus per gestire l'arbitraggio e il trasferimento dati (3 punti)
2. Descrivere il protocollo usato dal controller del bus per individuare la periferica che ha richiesto l'uso del bus (2 punti)
3. Descrivere il protocollo per effettuare la lettura di un dato dalla memoria iniziato dalla periferica su un bus sincrono. (2 punti)

Soluzione



1. Le linee necessarie per il bus sono indicate in figura. Le linee di bus request, grant e busy, sono utilizzate per effettuare l'arbitraggio, mentre le linee control, address e data vengono usate per trasferire i dati. N.B. le linee di control, address e data sono in realtà "gruppi" di linee. La motivazione è contenuta nella risposta 3.
2. Arbitraggio in daisy chain: La periferica invia il segnale di richiesta del bus sulla linea bus request, se la linea bus busy indica che il bus è libero. Il controllore del bus invia in risposta il segnale di bus grant sull'apposita linea. Questo segnale viene propagato serialmente fra tutte le periferiche, fino a raggiungere la periferica che ha fatto richiesta, che blocca la propagazione del segnale di bus grant e attiva il segnale di bus busy. (in caso di richieste contemporanee la propagazione del bus grant viene bloccata dalla prima periferica che ha fatto richiesta). A questo punto la periferica può trasferire i dati.
3. Sulle linee di controllo viene inviato il segnale sul tipo di trasferimento, in questo caso lettura (ci sono più linee, ciascuna per un tipo di trasferimento come lettura, scrittura, trasferimento di blocchi, ecc.), e contemporaneamente l'indirizzo di memoria che deve essere letto sulla linea indirizzi (address). Trascorso il tempo di ciclo della memoria, il dato viene inviato sulla linea data che può consentire il trasferimento contemporaneo di un certo numero di byte.

ESERCIZIO 4 (8 punti)

Si ipotizzi che un processo sia suddiviso in quattro segmenti di dimensione uguale, e che il sistema operativo, per ciascun segmento, predisponga una "page map table" con 8 locazioni. In altre parole il sistema operativo implementa una memoria virtuale segmentata e paginata. Si sappia inoltre che la dimensione di ciascuna pagina sia uguale a 2 kbyte.

1. Qual è la dimensione massima di ciascun segmento? (2 punti)
2. Qual è la dimensione dello spazio degli indirizzi logici? (2 punti)
3. Se il sistema a un certo istante accede alla locazione di memoria di indirizzo fisico 00021ABC, qual è il formato dell'indirizzo logico che ha generato questo indirizzo fisico? (4 punti)

Soluzione

1. Ciascun segmento può contenere al massimo 8 pagine da 2 kbyte ciascuna, dunque la sua dimensione massima è pari a 16 kbyte.
2. L'indirizzo logico nel caso di memoria segmentata e paginata, con 4 segmenti, 8 pagine per segmento e pagine di dimensione 2 kbyte è formato da 16 bit, secondo lo schema seguente:

#segmento	#pagina all'interno del segmento	#byte all'interno della pagina
2 bit	3 bit	11 bit

3. La corrispondenza fra indirizzo logico e indirizzo fisico viene effettuata dal sistema operativo come segue: i due bit più significativi servono a individuare il segmento nella segment map table. In questa tabella, nel caso di memoria segmentata e paginata, si trova l'indirizzo della PMT relativa al segmento indirizzato dai 2 bit più significativi dell'indirizzo logico. Individuata la PMT, in corrispondenza dell'indirizzo logico di 3 bit si trova l'indirizzo fisico della pagina indirizzata. La parola cercata si trova nella pagina fisica usando gli 11 bit meno significativi dell'indirizzo logico. Nell'esempio dell'esercizio, gli 11 bit meno significativi (cioè 01010111100 indirizzano il byte all'interno della pagina), mentre i restanti bit indicano il numero di pagina fisica nella memoria, che si ricava come spiegato sopra.

ESERCIZIO 5 (5 punti)

Illustrare sinteticamente le caratteristiche e il formato tipico di una istruzione RISC,

Soluzione

Vedi le dispense del corso.