

PROVA SCRITTA DEL CORSO DI
CALCOLATORI ELETTRONICI
NUOVO ORDINAMENTO DIDATTICO (5 CFU)

13 Luglio 2010

NOME:

COGNOME:

MATRICOLA:

ESERCIZIO 1 (9 punti)

Si consideri una rete sequenziale avente un ingresso x e una uscita z . L'uscita $z = 1$ quando viene riconosciuta la sottosequenza 101100. Negli altri casi l'uscita $z = 0$.

1. (5 punti) Disegnare il diagramma degli stati.
2. (2 punti) Codificare gli stati e scrivere la tabella di flusso. Si scriva poi la tabella delle transizioni qualora si usino flip-flop di tipo T.
3. (2 punti) Calcolare le forme minime per le variabili di eccitazione dei flip-flop e per l'uscita impiegando le mappe di Karnaugh.

ESERCIZIO 2 (9 punti)

1. (2 punti) Mostrare la suddivisione nei relativi campi TAG, Index, Offset di un indirizzo di memoria primaria di 1 Kbyte, disponendo di una cache da 32 byte, secondo il metodo diretto con blocchi da 4 byte.
2. (5 punti) Si consideri la sequenza di riferimenti alla memoria indicati come indirizzi di parole (in formato decimale, il primo indirizzo è 0): 389, 719, 387, 697, 306, 308, 194, 198, 699, 310. Indicare i cache *hit* e il contenuto finale della cache, nella configurazione al punto 1. E' sufficiente indicare, per ciascun blocco di cache, l'indirizzo del corrispondente blocco di primaria in esso eventualmente presente.
3. (2 punti) Indicare almeno una possibile alternativa per aumentare il numero di hit in cache, senza alterare la dimensione di memoria primaria e di cache e il metodo di indirizzamento adottato.
(Suggerimento. Ricordare il principio di località: chiamate vicine in ordine di tempo e di spazio)

ESERCIZIO 3 (7 punti)

Implementare una procedura Assembly MIPS che, dati l'indirizzo iniziale di un vettore v (in \$4) e due indici i e j (rispettivamente in \$5 e in \$6), scambi $v(i)$ con $v(j)$ solo se $v(i) < v(j)$ (cioè se gli elementi corrispondenti ai due indici sono diversi).

ESERCIZIO 4 (8 punti)

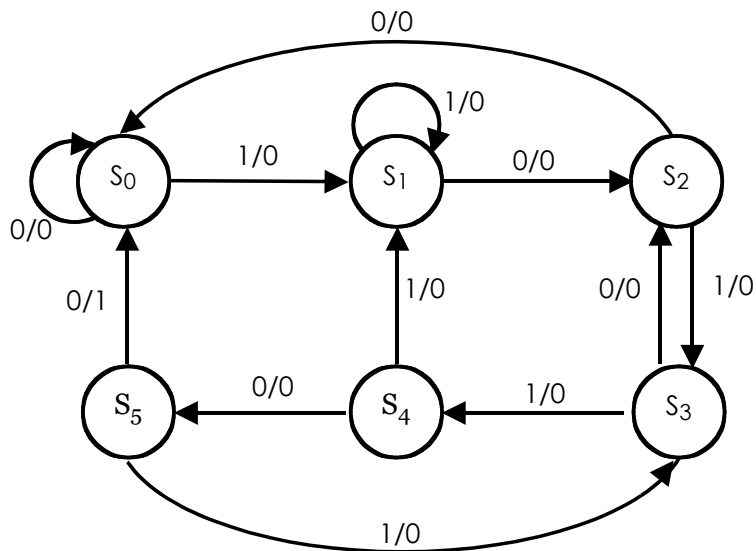
Un certo numero di periferiche sono collegate al calcolatore per mezzo di un bus sincrono. L'arbitraggio viene effettuato secondo lo schema "daisy chain".

1. (4 punti) Mostrare lo schema di collegamento delle periferiche al bus indicando le diverse linee che devono essere presenti nel bus per gestire l'arbitraggio e il trasferimento dati.
2. (2 punti) Descrivere il protocollo usato dal controller del bus per individuare la periferica che ha richiesto l'uso del bus.
3. (2 punti) Descrivere il protocollo per effettuare la lettura di un dato dalla memoria su un bus sincrono quando tale lettura è iniziata dalla periferica.

ESERCIZIO 1

Soluzione

Grafo degli stati



Codifica degli stati
(3 bit - $Y_2Y_1Y_0$)

$S_0 \rightarrow 000$ $S_1 \rightarrow 001$
 $S_2 \rightarrow 010$ $S_3 \rightarrow 011$
 $S_4 \rightarrow 100$ $S_5 \rightarrow 101$

Tabella di flusso

Stato iniziale	Stato finale/uscita	
	x = 1	x = 0
S_0	$S_1/0$	$S_0/0$
S_1	$S_1/0$	$S_2/0$
S_2	$S_3/0$	$S_0/0$
S_3	$S_4/0$	$S_2/0$
S_4	$S_1/0$	$S_5/0$
S_5	$S_3/0$	$S_0/1$

Tabella delle transizioni (FF-T) Y' indica lo stato futuro

A	B	C	X	A'	T_A	B'	T_B	C'	T_C	Z
0	0	0	1	0	0	0	0	1	1	0
0	0	0	0	0	0	0	0	0	0	0
0	0	1	1	0	0	0	0	1	0	0
0	0	1	0	0	0	1	1	0	1	0
0	1	0	1	0	0	1	0	1	1	0
0	1	0	0	0	0	0	1	0	0	0
0	1	1	1	1	1	0	1	0	1	0
0	1	1	0	0	0	1	0	0	1	0
1	0	0	1	0	1	0	0	1	1	0
1	0	0	0	1	0	0	0	1	1	0
1	0	1	1	0	1	1	1	1	0	0
1	0	1	0	0	1	0	0	0	1	1
1	1	0	1	d	d	d	d	d	d	d
		⋮					⋮			
1	1	1	1	d	d	d	d	d	d	d

Flip-flop T		
Y	Y'	T
0	0	0
0	1	1
1	0	1
1	1	0

Uscita $z = Y_2 Y_0 x$

<div> <div> <div>AB</div> <div>CX</div> </div> <table> <tr> <th></th> <th>00</th> <th>01</th> <th>11</th> <th>10</th> </tr> <tr> <th>00</th> <td></td> <td></td> <td>d</td> <td></td> </tr> <tr> <th>01</th> <td></td> <td></td> <td>d</td> <td>1</td> </tr> <tr> <th>11</th> <td></td> <td>1</td> <td>d</td> <td>1</td> </tr> <tr> <th>10</th> <td></td> <td></td> <td>d</td> <td>1</td> </tr> </table> <div> $T_A = BCX + AX + AC$ </div> </div>		00	01	11	10	00			d		01			d	1	11		1	d	1	10			d	1	<div> <div> <div>AB</div> <div>CX</div> </div> <table> <tr> <th></th> <th>00</th> <th>01</th> <th>11</th> <th>10</th> </tr> <tr> <th>00</th> <td></td> <td>1</td> <td>d</td> <td></td> </tr> <tr> <th>01</th> <td></td> <td></td> <td>d</td> <td></td> </tr> <tr> <th>11</th> <td></td> <td>1</td> <td>d</td> <td>1</td> </tr> <tr> <th>10</th> <td>1</td> <td></td> <td>d</td> <td></td> </tr> </table> <div> $T_B = \overline{A}B\overline{C}\overline{X} + B\overline{C}\overline{X} + BCX + ACX$ </div> </div>		00	01	11	10	00		1	d		01			d		11		1	d	1	10	1		d		<div> <div> <div>AB</div> <div>CX</div> </div> <table> <tr> <th></th> <th>00</th> <th>01</th> <th>11</th> <th>10</th> </tr> <tr> <th>00</th> <td></td> <td></td> <td>d</td> <td>1</td> </tr> <tr> <th>01</th> <td>1</td> <td>1</td> <td>d</td> <td>1</td> </tr> <tr> <th>11</th> <td></td> <td>1</td> <td>d</td> <td></td> </tr> <tr> <th>10</th> <td>1</td> <td>1</td> <td>d</td> <td>1</td> </tr> </table> <div> $T_C = \overline{A}\overline{C} + \overline{C}X + BX + C\overline{X}$ </div> </div>		00	01	11	10	00			d	1	01	1	1	d	1	11		1	d		10	1	1	d	1
	00	01	11	10																																																																									
00			d																																																																										
01			d	1																																																																									
11		1	d	1																																																																									
10			d	1																																																																									
	00	01	11	10																																																																									
00		1	d																																																																										
01			d																																																																										
11		1	d	1																																																																									
10	1		d																																																																										
	00	01	11	10																																																																									
00			d	1																																																																									
01	1	1	d	1																																																																									
11		1	d																																																																										
10	1	1	d	1																																																																									
	<div> <div> <div>AB</div> <div>CX</div> </div> <table> <tr> <th></th> <th>00</th> <th>01</th> <th>11</th> <th>10</th> </tr> <tr> <th>00</th> <td></td> <td></td> <td>d</td> <td></td> </tr> <tr> <th>01</th> <td></td> <td></td> <td>d</td> <td></td> </tr> <tr> <th>11</th> <td></td> <td></td> <td>d</td> <td></td> </tr> <tr> <th>10</th> <td></td> <td></td> <td>d</td> <td>1</td> </tr> </table> <div> $Z = A\overline{C}\overline{X}$ </div> </div>		00	01	11	10	00			d		01			d		11			d		10			d	1																																																			
	00	01	11	10																																																																									
00			d																																																																										
01			d																																																																										
11			d																																																																										
10			d	1																																																																									

ESERCIZIO 2

Soluzione

1. <TAG 5 bit> <Cache Index 3 bit> <Offset 2 bit>
2. Applicando per ciascuna chiamata le formule per il calcolo di block frame e cache index, si ricavano i seguenti valori per ciascun set:

Indirizzo	389	719	387	697	306	308	194	198	699	310
Blocco primaria	97	179	96	174	76	77	48	49	174	77
Blocco cache	1	3	0	6	4	5	0	1	6	5
Hit									X	X

Il contenuto finale della cache è dunque:

Blocco Cache	0	1	2	3	4	5	6	7
Blocco Primaria	48	49		179	76	77	174	

3. La cosa più semplice per ridurre il numero di miss in cache è accrescere la grandezza dei blocchi. Ciò si può notare dal fatto che le richieste in primaria distano spesso meno di otto parole (e.g. prima e terza chiamata, quinta, sesta e ultima chiamata). Ad es. possiamo utilizzare blocchi da 8 byte. In questo caso la cache conterrà solo 4 blocchi, con la seguente sequenza:

Indirizzo	389	719	387	697	306	308	194	198	699	310
Blocco primaria	48	89	48	87	38	38	24	24	87	38
Blocco cache	0	1	0	3	2	2	0	0	3	2
Hit			X			X		X	X	X

Come si nota il numero di hit è passato da 2 a 5.

ESERCIZIO 3

Soluzione

$\$9 \leftarrow v[i]; \$10 \leftarrow v[j]$

```
swap:      addi $29, $29, -16
           sw $9, 0($29)
           sw $10, 4($29)
           sw $5, 8($29)
           sw $6, 12($29)

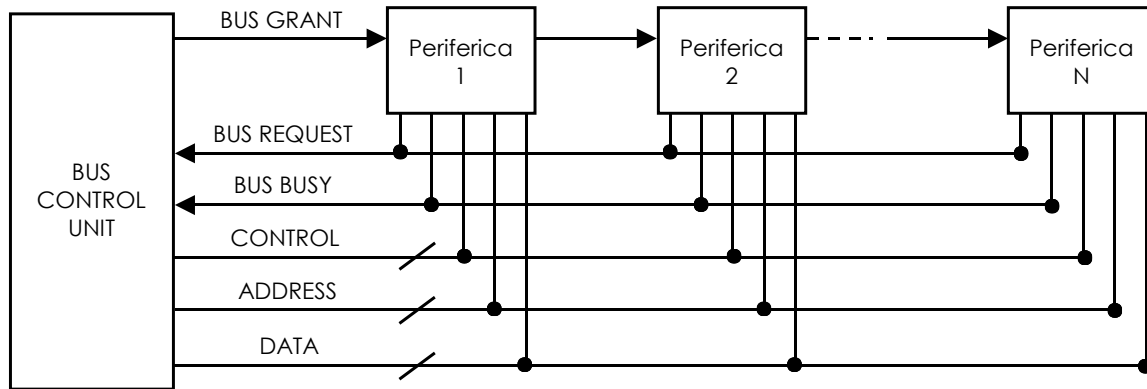
           muli $5, $5, 4
           add $5, $5, $4      #indirizzo di v[i] in $5
           muli $6, $6, 4
           add $6, $6, $4      #indirizzo di v[j] in $6
           lw $9, 0($5)
           lw $10, 0($6)
           beq $9, $10, exit   #if v[i]==v[j] exit
           sw $9, 0($6)
           sw $10, 0($5)

exit:      lw $9, 0($29)
           lw $10, 4($29)
           lw $5, 8($29)
           lw $6, 12($29)
           addi $29, $29, 16

           jr $31
```

ESERCIZIO 4

Soluzione.



1. Le linee necessarie per il bus sono indicate in figura. Le linee di bus request, grant e busy, sono utilizzate per effettuare l'arbitraggio, mentre le linee control, address e data vengono usate per trasferire i dati. N.B. le linee di control, address e data sono in realtà "gruppi" di linee. La motivazione è contenuta nella risposta 3.
2. Arbitraggio in daisy chain: La periferica invia il segnale di richiesta del bus sulla linea bus request, se la linea bus busy indica che il bus è libero. Il controllore del bus invia in risposta il segnale di bus grant sull'apposita linea. Questo segnale viene propagato serialmente fra tutte le periferiche, fino a raggiungere la periferica che ha fatto richiesta, che blocca la propagazione del segnale di bus grant e attiva il segnale di bus busy. (in caso di richieste contemporanee la propagazione del bus grant viene bloccata dalla prima periferica che ha fatto richiesta). A questo punto la periferica può trasferire i dati.
3. Sulle linee di controllo viene inviato il segnale sul tipo di trasferimento, in questo caso lettura (ci sono più linee, ciascuna per un tipo di trasferimento come lettura, scrittura, trasferimento di blocchi, ecc.), e contemporaneamente l'indirizzo di memoria che deve essere letto sulla linea indirizzi (address). Trascorso il tempo di ciclo della memoria, il dato viene inviato sulla linea data che può consentire il trasferimento contemporaneo di un certo numero di byte.