

**SOLUZIONI DELLA PRIMA PROVA INTERMEDIA DEL CORSO DI
CALCOLATORI ELETTRONICI
NUOVO ORDINAMENTO DIDATTICO**

21 Aprile 2005

MOTIVARE IN MANIERA CHIARA LE SOLUZIONI PROPOSTE A CIASCUNO DEGLI ESERCIZI SVOLTI

ESERCIZIO 1 (8 punti)

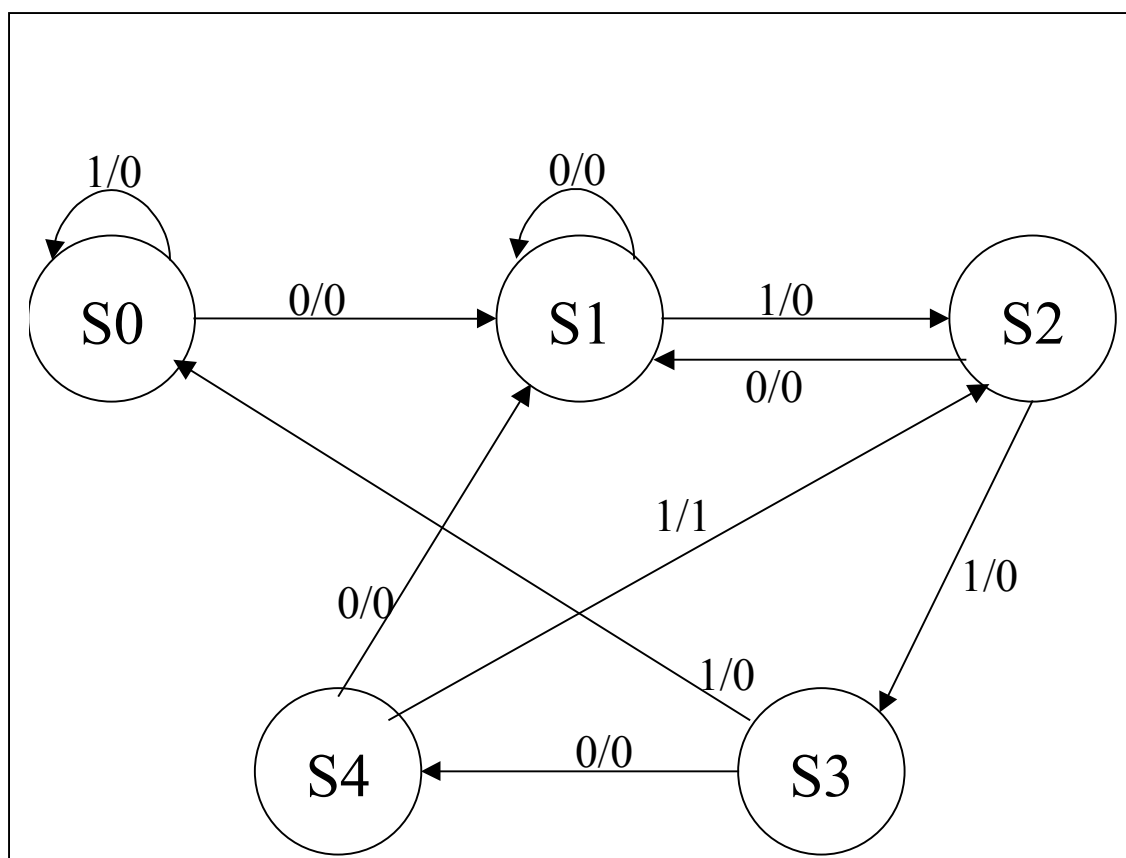
Progettare una rete sequenziale che presenti un ingresso X e un'uscita Z posta a 1 ogni volta che viene riconosciuta la sequenza 01101.

Si richiede:

- a) (5 punti) il diagramma degli stati, la tabella di flusso e la tabella delle transizioni;
- a) (3 punti) il calcolo delle forme minime delle variabili di eccitazione dei flip flop con le mappe di Karnaugh. Si usino flip flop JK. Calcolare anche la rete combinatoria per l'uscita Z.

Soluzione.

Il diagramma degli stati è il seguente:



La tabella di flusso è data da:

Stato presente	Stato successivo/Uscita	
	X=0	X=1
S0	S1/0	S0/0
S1	S1/0	S2/0
S2	S1/0	S3/0
S3	S4/0	S0/0
S4	S1/0	S2/1

Per codificare 5 stati occorrono tre flip flop. La codifica è la seguente:

S0 → 0 0 0; ...; S4 → 1 0 0. Nel seguito indicheremo ciascun bit della codifica con le lettere A, B, C. L'apice indicherà il bit nell'istante successivo a quello considerato.

A partire dalla tabella di eccitazione del flip flop JK:

Q	Q'	J	K
0	0	0	D
0	1	1	D
1	0	D	1
1	1	D	0

A	B	C	X	A'	Ja	Ka	B'	Jb	Kb	C'	Jc	Kc	Z
0	0	0	0	0	0	D	0	0	D	1	1	D	0
0	0	0	1	0	0	D	0	0	D	0	0	D	0
0	0	1	0	0	0	D	0	0	D	1	D	0	0
0	0	1	1	0	0	D	1	1	D	0	D	1	0
0	1	0	0	0	0	D	0	D	1	1	1	D	0
0	1	0	1	0	0	D	1	D	0	1	1	D	0
0	1	1	0	1	1	D	0	D	1	0	D	1	0
0	1	1	1	0	0	D	0	D	1	0	D	1	0
1	0	0	0	0	D	1	0	0	D	1	1	D	0
1	0	0	1	0	D	1	1	1	D	0	0	D	1
1	0	1	0	D	D	D	D	D	D	D	D	D	D
1	0	1	1	D	D	D	D	D	D	D	D	D	D
1	1	0	0	D	D	D	D	D	D	D	D	D	D
1	1	0	1	D	D	D	D	D	D	D	D	D	D
1	1	1	0	D	D	D	D	D	D	D	D	D	D
1	1	1	1	D	D	D	D	D	D	D	D	D	D

Ora possiamo disegnare le mappe di Karnaugh

		AB			
		00	01	11	10
CX	00			d	d
	01			d	d
	11			d	d
	10		1	d	d

$$J_A = BC\bar{X}$$

		AB			
		00	01	11	10
CX	00	d	d	d	1
	01	d	d	d	1
	11	d	d	d	d
	10	d	d	d	d

$$K_A = 1$$

		AB			
		00	01	11	10
CX	00		d	d	
	01		d	d	1
	11	1	d	d	1
	10		d	d	d

$$J_B = CX + AX$$

		AB			
		00	01	11	10
CX	00	1	1	d	1
	01		1	d	d
	11	d	d	d	d
	10	d	d	d	d

$$J_C = \bar{X} + B$$

		AB			
		00	01	11	10
CX	00	d	1	d	d
	01	d		d	d
	11	d	1	d	d
	10	d	1	d	d

$$K_B = \bar{X} + C$$

		AB			
		00	01	11	10
CX	00	d	d	d	d
	01	d	d	d	d
	11	1	1	d	d
	10		1	d	d

$$K_C = B + X$$

Infine, per quanto riguarda l'uscita Z:

AB		00	01	11	10
CX	00			d	
	01			d	1
	11			d	d
	10			d	d

$$Z = AX$$

ESERCIZIO 2 (7 punti)

PARTE 1. I trasferimenti di parole a/dalla memoria di un calcolatore sono codificate utilizzando il codice di Hamming. Si consideri la stringa in ricezione di 12 bit 000110101111, **già** codificata con il codice di Hamming (il bit meno significativo è a sinistra). Spiegando bene ogni passo del ragionamento:

- 1) (1 punto) calcolare il numero di bit della stringa di origine;
- 2) (3 punti) decodificare la stringa data, rilevando eventuali errori presenti in essa.

Soluzione.

- 1) Deve venire rispettata la condizione:

$$2^K \geq N + K + 1 \quad (1),$$

dove K è il numero di bit di controllo inseriti e N è il numero di bit della stringa di origine. Essendo $N+K=12$, si ha $K=4$ e $N=8$.

- 2) Nella codifica di Hamming, la sequenza in ingresso presenta la seguente struttura:

c_0	c_1	b_0	c_2	b_1	b_2	b_3	c_3	b_4	b_5	b_6	b_7
0	0	0	1	1	0	1	0	1	1	1	1

Dove $c_0...c_3$ sono i quattro bit costituenti il vettore di controllo, e $b_0...b_7$ gli otto bit trasmessi. I corrispondenti bit di errore si ottengono così:

$$\begin{aligned} e_0 &= c_0 \oplus b_0 \oplus b_1 \oplus b_3 \oplus b_4 \oplus b_6 = 0 \oplus 0 \oplus 1 \oplus 1 \oplus 1 \oplus 1 = 0 \\ e_1 &= c_1 \oplus b_0 \oplus b_2 \oplus b_3 \oplus b_5 \oplus b_6 = 0 \oplus 0 \oplus 0 \oplus 1 \oplus 1 \oplus 1 = 1 \\ e_2 &= c_2 \oplus b_1 \oplus b_2 \oplus b_3 \oplus b_7 = 1 \oplus 1 \oplus 0 \oplus 1 \oplus 1 = 0 \\ e_3 &= c_3 \oplus b_4 \oplus b_5 \oplus b_6 \oplus b_7 = 0 \oplus 1 \oplus 1 \oplus 1 \oplus 1 = 0 \end{aligned}$$

Poiché il vettore risultante 0010 non è nullo, vi è un errore nella stringa di 12 bit e precisamente nella posizione indicata dal vettore di errore tradotto in notazione decimale. Il bit sbagliato nella stringa codificata è quindi il secondo (c_1), che essendo però un bit di controllo non influisce sulla stringa di origine, che può essere dunque correttamente estratta, a partire dal bit meno significativo: 01011111.

PARTE 2. (3 punti) Un disco presenta le seguenti caratteristiche: 7200 giri/min, 100 settori per traccia, tempo di posizionamento medio 4 ms, 32 B per settore.

Calcolare il tempo medio di lettura di un blocco di 1 KB da disco, nell'ipotesi che la testina si trovi su un settore qualunque e in una traccia qualunque all'istante iniziale e che i settori del blocco siano situati ciascuno in tracce diverse.

Soluzione.

$$TROT = 60 / 7200 = 0.0083 \text{ secondi}$$

$$TLAT = TROT / 2 = 0.00415 \text{ secondi (tempo di latenza)}$$

$$Tlett = TROT / 100 = 0.0833 \text{ ms (tempo di lettura di un settore)}$$

$$Tpos = 4 \text{ ms.}$$

$$\text{Numero di settori richiesti per il blocco da 1 KB: } 1024B/32B = 32.$$

Tempo di lettura del blocco da 1KB:

$$= 32 * (TLAT + TPOS + Tlett) = 32 * (4.15 + 4.00 + 0.0833) = 263.47 \text{ msec}$$

ESERCIZIO 3 (10 punti)

Si consideri una memoria primaria costituita da 32 parole e una memoria cache costituita da 8 parole, con blocchi da 2 parole. Si considerino i tre metodi di indirizzamento diretto, associativo su insiemi a 2 vie e completamente associativo.

- (a) (3 punti) Spiegare, precisando il significato e la funzione dei diversi campi, come vengono interpretati gli indirizzi logici per recuperare l'informazione contenuta nella cache nei tre casi.
- (b) (5 punti) Indicare lo stato finale della cache nel caso il processore acceda in sequenza alle parole di indirizzo da 0 a 3 e da 16 a 19 in questo ordine, e ripeta la sequenza di accesso per due volte, nei tre casi di indirizzamento indicati. (Gli indirizzi sono in decimale)
- (c) (2 punti) Nell'ipotesi che il tempo di accesso alla memoria primaria sia 10 volte il tempo di accesso alla memoria cache, indicare di quanto si riduce il tempo di accesso alla memoria con l'uso della cache nei tre casi di indirizzamento considerati nelle domande precedenti.

Soluzione.

(a)

Metodo diretto:	< TAG 2 bit >	< Index 2 bit >	< Offset 1 bit >
Metodo set-associativo:	< TAG 3 bit >	< Index 1 bit >	< Offset 1 bit >
Metodo associativo:	< Block Frame (TAG) 4 bit >		< Offset 1 bit >

(b)

Stato finale della cache nei tre casi:

Linea	Diretto	Insieme	Set-Associativo	Associativo
0	16	0	0	0
	17		1	1
1	18		16	2
	19		17	3
2		1	2	16
			3	17
3			18	18
			19	19

Le parole 0-1 e 2-3 presentano index pari a 0 e 1 rispettivamente. Le parole 16-17 e 18-19 presentano lo stesso valore di index delle precedenti. Col metodo diretto vengono pertanto mappate nelle stesse linee di cache (la prima e la seconda, come mostrato in figura). Col metodo set-associativo, invece, pur presentando lo stesso index, possono venire mappate in blocchi eventualmente liberi dello stesso insieme. Infine, col metodo associativo l'index non è presente (NB è l'analogo del metodo associativo su insiemi a quattro vie) quindi i blocchi di primaria vengono allocati nei corrispondenti blocchi liberi di cache, nell'ordine di chiamata.

(c)

Per calcolare l'entità della riduzione bisogna valutare il rapporto fra tempo medio di accesso alla gerarchia cache-primaria (quindi il tempo medio richiesto con uso della cache) e tempo medio di accesso della sola primaria (senza uso della cache).

Indicando con T il tempo medio di accesso alla gerarchia cache-primaria della domanda precedente e con T_p il tempo di accesso in primaria, l'entità della riduzione è data da:

$$1 - T/T_p$$

Il tempo medio di accesso alla gerarchia cache-primaria è pari a:

$$T = T_c + (1 - H) * T_p$$

Con T_c : tempo di accesso cache e H = hit ratio cache.

Poiché $T_p = 10 * T_c$, si ha

$$T = T_c + (1 - H) * 10 * T_c$$

Il rapporto T/T_p è dunque funzione di H ed è pari a:

$$1 - (1 + (1 - H) * 10)/10$$

Poiché si ha:

Metodo diretto: $H = 8/16 = 0.5$

Metodo set-associativo e associativo: $H = (4 + 8) / 16 = 0.75$

Si ha che con l'indirizzamento diretto la riduzione è pari a 0.4 e negli altri due casi la riduzione è pari a 0.65. In altri termini la riduzione è del 40% nel primo caso e del 65% negli altri due.

ESERCIZIO 4 (8 punti)

(a) (3 punti) Si consideri il caso di un Bus di I/O sul quale devono essere collegate 8 periferiche esterne. Si ipotizzi che sulla parte di controllo del Bus si abbiano tre segnali di controllo liberi da poter utilizzare per gestire l'arbitraggio delle 8 periferiche da collegare. Descrivere una tecnica di arbitraggio utilizzabile in una tale situazione, disegnando un possibile schema di collegamento delle periferiche e spiegando chiaramente le implicazioni del suo utilizzo sulla gestione delle richieste di I/O delle periferiche.

(b) (5 punti) Un bus sincrono presenta le seguenti caratteristiche:

- frequenza di clock (pari a quella della CPU): 100 MHz
- durata di una trasmissione sul bus: 3 cicli di clock
- ampiezza linea dati: 32 bit.
- tempo di ciclo della memoria: 100 ns

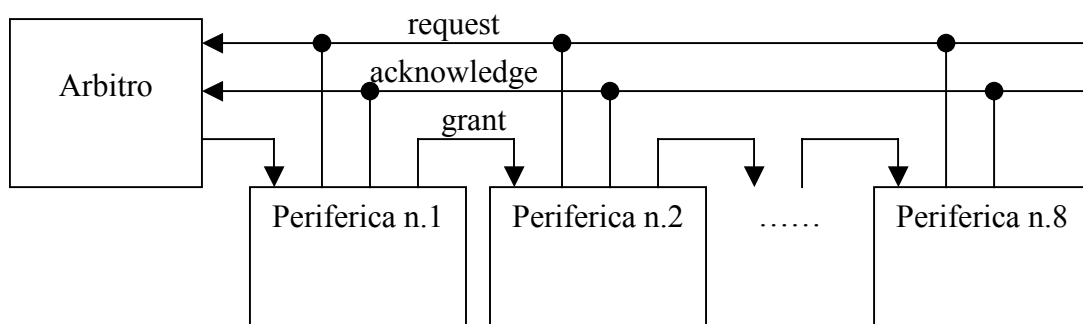
Indicando chiaramente il protocollo di lettura di una parola di un bus sincrono, si calcoli la velocità di trasferimento, in bit/s, durante una operazione di lettura di un dato dalla memoria, nel caso di parole da 32 bit.

Soluzione.

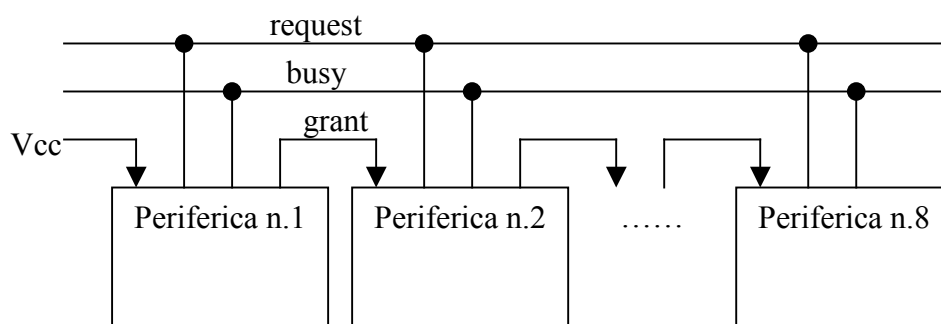
(a)

Abbiamo due possibilità:

- arbitraggio centralizzato con "daisy chain", in cui le priorità sono fissate una volta per tutte, con i tre segnali disponibili deputati alle funzioni "grant" (arbitro), "acknowledge" e "request" (periferica). Un possibile schema è il seguente:



- arbitraggio distribuito, con i tre segnali disponibili deputati alle funzioni "busy", "request" e "grant", quest'ultimo connesso a festone (priorità prefissate). In questo caso non c'è un dispositivo destinato alla funzione di "arbitro", le periferiche stesse monitorano le linee e verificano che il bus non sia occupato da altre a priorità maggiore attraverso il segnale "grant".



(b)

La durata di un ciclo di clock è pari a $1/(100 \text{ MHz}) = 10 \text{ ns}$.

Protocollo di lettura su bus sincrono:

- Segnale di READ sulla linea di controllo e contemporaneamente l'indirizzo della locazione in cui risiede il dato sulla linea indirizzi: **3 cicli di clock = 30 ns**.
- Lettura della parola dalla memoria: **100 ns** cioè 10 cicli di clock.
- Trasferimento della parola dalla memoria: **3 cicli di clock = 30 ns**.

Tempo complessivo per il trasferimento di una parola da 32 bit: $30 + 100 + 30 = 160 \text{ ns}$.

Velocità: $32 \text{ bit} / 160 \text{ ns} = 20 * 10^7 \text{ bit/s}$.