

**SOLUZIONI DELLA PROVA SCRITTA DEL CORSO DI
CALCOLATORI ELETTRONICI
NUOVO E VECCHIO ORDINAMENTO DIDATTICO**

27 Febbraio 2003

MOTIVARE IN MANIERA CHIARA LE SOLUZIONI PROPOSTE A CIASCUNO DEGLI ESERCIZI SVOLTI

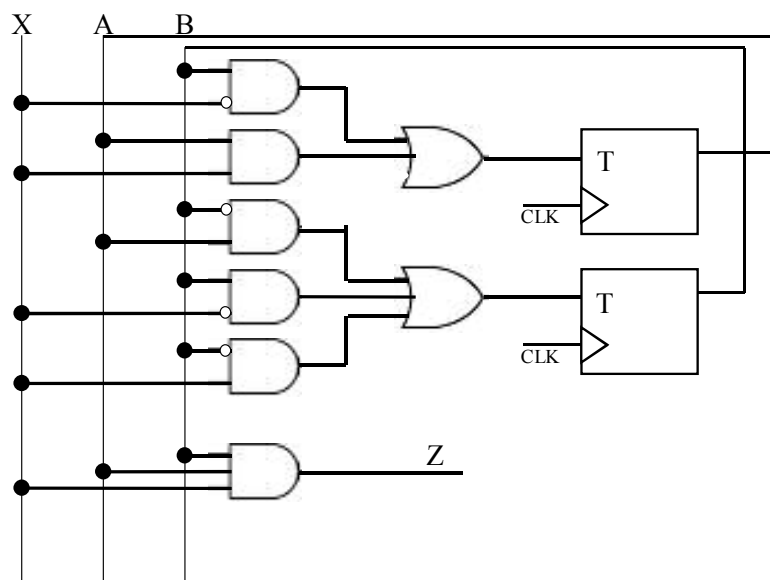
ESERCIZIO 1 (10 punti)

Dall'analisi del circuito in figura:

- (NO: 8 punti – VO: 6 punti) scrivere la tabella delle transizioni, la tabella di flusso e il diagramma degli stati della rete sequenziale;
- (2 punti) verificare, attraverso le mappe di Karnaugh, che le reti combinatorie per la transizione dello stato siano minimizzate;
- (solo VO: 2 punti) indicare qual è l'operazione svolta dalla rete sequenziale attraverso l'uscita Z in funzione dell'ingresso X.

N.B. i cerchi davanti alle porte logiche indicano che il relativo ingresso viene considerato in forma negata.

(Suggerimento: si indichi la sequenza degli stati attraverso le combinazioni progressive dei flip flop.)



Soluzione.

La presenza di due flip flop indica un numero di stati pari a 4.

E' immediato dedurre le funzioni di transizione dello stato :

$$T_A = B\bar{X} + AX$$

$$T_B = \bar{A}\bar{B} + B\bar{X} + \bar{B}X$$

La verifica con le mappe di Karnaugh è altrettanto semplice e conferma che T_A e T_B sono espressi in forma minima.

Dalla tabella di eccitazione del flip flop T:

Q	Q'	T
0	0	0
0	1	1
1	0	1
1	1	0

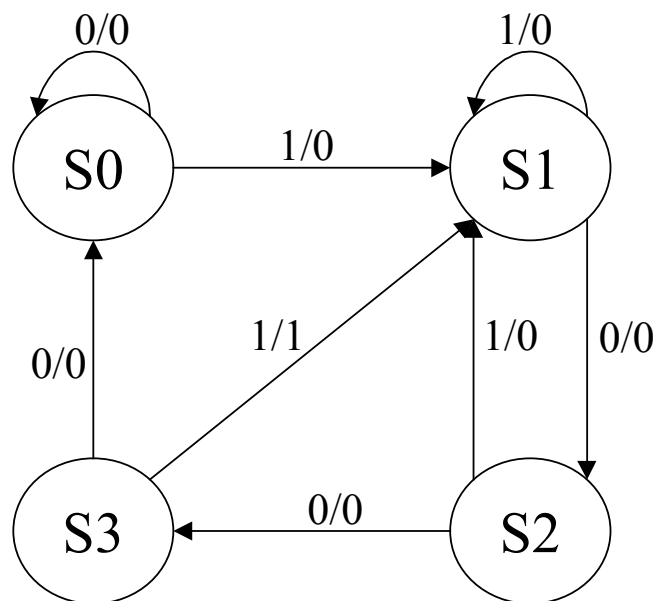
Si ottiene la seguente tabella delle transizioni:

A	B	X	A'	TA	B'	TB	Z
0	0	0	0	0	0	0	0
0	0	1	0	0	1	1	0
0	1	0	1	1	0	1	0
0	1	1	0	0	1	0	0
1	0	0	1	0	1	1	0
1	0	1	0	1	1	1	0
1	1	0	0	1	0	1	0
1	1	1	0	1	1	0	1

Possiamo ora scrivere la tabella di flusso, indicando con le combinazioni di AB gli stati S0, S1, S2 e S3.

Stato presente	Stato futuro/Z	
	X = 0	X = 1
S0	S0/0	S1/0
S1	S2/0	S1/0
S2	S3/0	S1/0
S3	S0/0	S1/1

Il diagramma degli stati è il seguente:



Dal diagramma precedente è facile notare che la rete sequenziale è un sequenziatore che riconosce la sequenza 1001.

ESERCIZIO 2 (NO: 9 punti – VO: 7 punti)

E' data la seguente gerarchia di memoria costituita da una memoria primaria di 256Mbyte e una memoria cache di 128Kbyte. La memoria viene suddivisa in blocchi di 32 parole.

- 1) (NO: 3 punti – VO: 2 punti) Effettuare la suddivisione dei campi di un indirizzo di parola a seconda che venga seguito il metodo diretto e il metodo associativo su insiemi a otto vie.
- 2) (NO: 6 punti – VO: 5 punti) Si supponga che sia richiesto l'accesso in sequenza a due blocchi di primaria. I due blocchi presentano "cache index" identici. Tale accesso in sequenza viene ripetuto dieci volte. Calcolare l'hit ratio con il metodo diretto e con il metodo associativo su insiemi.

N.B. "accesso a un blocco" significa che vengono lette tutte le parole del blocco, una dopo l'altra.

Soluzione.

- 1) METODO DIRETTO: < TAG 9 bit > < Index 12 bit > < Offset 5 bit >
METODO ASSOCIATIVO SU INSIEMI A OTTO VIE:
 < TAG 15 bit > < Index 9 bit > < Offset 5 bit >

- 2) Il numero totale di accessi è dato da $32 * 2 * 10 = 640$.

Metodo diretto: Poiché i due blocchi presentano lo stesso index, l'uno sovrascrive l'altro, quindi il numero di miss è 2 per ogni blocco. Gli accessi sono 10 per cui il numero totale di miss è 20. L'hit ratio è allora:

$$(640-20)/640 = 620/640 = 0.96875.$$

Metodo associativo su insiemi: I due blocchi presentano lo stesso index, che però indica l'insieme. I due blocchi di primaria vengono collocati nello stesso insieme di cache ma su blocchi differenti. Il numero di miss è solo 2, relativi al primo accesso, perché al secondo, al terzo... al decimo accesso i due blocchi sono presenti in cache. L'hit ratio è allora:

$$(640-2)/640 = 638/640 = 0.996875.$$

ESERCIZIO 3 (NO: 7 punti - VO: 5 punti)

Un bus sincrono presenta le seguenti caratteristiche:

- frequenza di clock: 500 MHz
- durata di una trasmissione sul bus: 2 cicli di clock
- ampiezza linea dati: 32 bit

1. (NO: 4 punti – VO: 3 punti) Illustrare chiaramente il protocollo di lettura su bus sincrono utilizzando l'opportuno grafico.
2. (NO: 3 punti – VO: 2 punti) Sapendo che il tempo di ciclo della memoria è pari a 40 nsec e che le parole della memoria hanno dimensione 32 bit, calcolare la velocità di trasferimento durante una operazione di lettura di una parola dalla memoria.

Soluzione:

- 1) La durata di un ciclo di clock è pari a $1/(500 \text{ MHz}) = 2 \text{ nsec}$

La lettura su un bus sincrono avviene secondo il protocollo seguente:

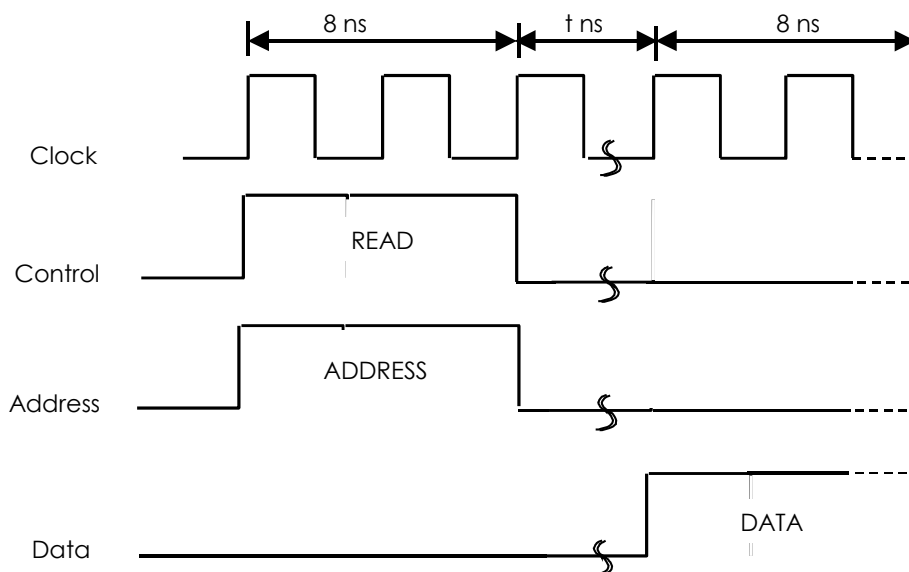
- Segnale di READ sulla linea di controllo e contemporaneamente l'indirizzo della locazione in cui risiede il dato sulla linea indirizzi:

2 cicli di clock = 4 nsec

- Lettura della parola dalla memoria: **$t = 40 \text{ nsec}$**
- Trasferimento della parola dalla memoria:
se la parola da leggere ha ampiezza pari a 32 bit

trasferimento della parola = 4 nsec

Tempo totale per leggere una parola dalla memoria = $(8 + t) \text{ nsec} = 48 \text{ nsec}$



- 2) Dal tempo di lettura di una parola di memoria si ottiene la velocità di trasferimento:

$$\frac{32}{48 \cdot 10^{-9}} (\text{bit} / \text{sec}) \cdot \frac{1}{8} (\text{B} / \text{bit}) \cdot 2^{-20} (\text{MB} / \text{B}) = 79.47 (\text{MB} / \text{sec})$$

ESERCIZIO 4 (NO: 7 punti – VO: 6 punti)

La memoria di un calcolatore è gestita con una tecnica di 'paginazione su richiesta'. Si consideri la seguente richiesta di pagine:

2, 3, 4, 3, 2, 4, 3, 2, 4, 5, 6, 7, 5, 4, 2, 4, 5, 2, 6, 7, 2

Se la memoria primaria contiene complessivamente quattro pagine calcolare il numero di 'page faults' nei seguenti due casi:

- 1) (NO: 3 punti – VO: 2 punti) strategia di rimpiazzamento delle pagine FIFO.
- 2) (4 punti) strategia di rimpiazzamento delle pagine LRU.

Soluzione:

1) *Page trace nel caso di strategia di rimpiazzamento delle pagine FIFO (x = hit)*

Tempo	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21
Richieste	2	3	4	3	2	4	3	2	4	5	6	7	5	4	2	4	5	2	6	7	2
Pagine	2	3	4	4	4	4	4	4	4	5	6	7	7	7	2	4	5	5	6	7	2
		2	3	3	3	3	3	3	3	4	5	6	6	6	7	2	4	4	5	6	7
			2	2	2	2	2	2	2	3	4	5	5	5	6	7	2	2	4	5	6
										2	3	4	4	4	5	6	7	7	2	4	5
Hit				x	x	x	x	x	x				x	x				x			

Hit ratio = 9/21; Page faults = 12/21

2) *Page trace nel caso di strategia di rimpiazzamento delle pagine LRU (x = hit)*

Tempo	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21
Richieste	2	3	4	3	2	4	3	2	4	5	6	7	5	4	2	4	5	2	6	7	2
Pagine	2	3	4	3	2	4	3	2	4	5	6	7	5	4	2	4	5	2	6	7	2
		2	3	4	3	2	4	3	2	4	5	6	7	5	4	2	4	5	2	6	7
			2	2	4	3	2	4	3	2	4	5	6	7	5	5	2	4	5	2	6
										3	2	4	4	6	7	7	7	7	4	5	5
Hit				x	x	x	x	x	x				x	x		x	x	x			x

Hit ratio = 12/21; Page faults = 9/21

ESERCIZIO 5 (solo VO: 5 punti)

Spiegare in modo chiaro e sintetico la classificazione di Flynn delle architetture parallele.

Soluzione.

Vedi dispense del corso.