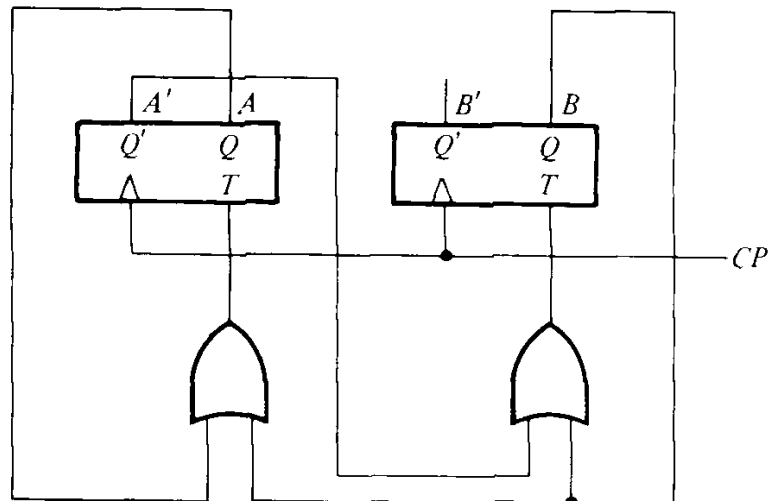


SOLUZIONI DELLA PROVA SCRITTA DEL CORSO DI
CALCOLATORI ELETTRONICI
 NUOVO ORDINAMENTO DIDATTICO
 12 Luglio 2001

MOTIVARE IN MANIERA CHIARA LE SOLUZIONI PROPOSTE A CIASCUNO DEGLI ESERCIZI SVOLTI

ESERCIZIO 1 (8 punti)

Considerare il circuito in figura (l'apice indica la negazione):



- Scrivere la tabella delle transizioni e il diagramma degli stati (6 punti).
- Quale funzione svolge il circuito? (2 punti)

Soluzione.

a) Il circuito presenta una rete sequenziale pilotata unicamente dal clock e dagli stati in uscita dei due FF-T, di cui ricordiamo la tabella di eccitazione.

*Tabella di eccitazione
di un flip-flop T*

$Q(t)$	$Q(t+1)$	T
0	0	0
0	1	1
1	0	1
1	1	0

E' immediato scrivere le funzioni logiche di T_A e T_B , ovvero degli ingressi dei due FF-T:

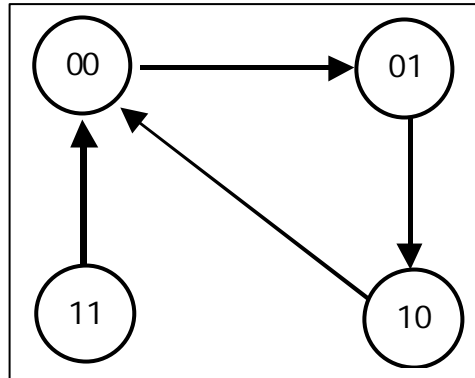
$$T_A = A + B$$

$$T_B = \bar{A} + B$$

La tabella di transizioni risulta allora:

A	B	Asucc	TA	Bsucc	TB
0	0	0	0	1	1
0	1	1	1	0	1
1	0	0	1	0	0
1	1	0	1	0	1

Il diagramma degli stati è il seguente:



b) Si tratta di un contatore ciclico modulo 3.

ESERCIZIO 2 (7 punti)

Si consideri una gerarchia di memoria a tre livelli (due memorie cache L1 e L2 e la primaria M).

Detti H_{L1} , H_{L2} , H_m gli "hit ratio" rispettivamente della cache L1, della L2 e di M, scrivere la formula per calcolare il tempo di accesso medio alla gerarchia di memoria **spiegando il significato dei singoli termini**.

Soluzione.

Indicando con t_A il tempo medio di accesso e con t_{L1} , t_{L2} e t_m i tempi di accesso delle due cache e della memoria principale, la formula richiesta è la seguente:

$$t_A = H_{L1}t_{L1} + (H_{L2} - H_{L1}) * (t_{L1} + t_{L2}) + (H_m - H_{L2}) * (t_{L1} + t_{L2} + t_m)$$

Il primo termine indica la probabilità che l'accesso in cache abbia successo. Il secondo termine indica invece la probabilità che, essendoci stato un fallimento nell'accesso alla cache, vi sia un successo nella cache L2. Infatti se si considera che i dati contenuti in L1 sono contenuti anche in L2, il termine $(H_{L2} - H_{L1})$ rappresenta la probabilità di trovare in L2 i dati non trovati in L1. La spiegazione del terzo termine è analoga: indica la probabilità che una richiesta alla gerarchia di memoria non venga soddisfatta da L1 o da L2 ma dalla memoria principale. Tale probabilità è uguale alla differenza $(H_m - H_{L2})$ perché i dati contenuti nella cache L2 si trovano anche nella memoria principale.

ESERCIZIO 3 (10 punti)

Si supponga di disporre di tre macchine: a pila, a uno e a due indirizzi. Per ognuna di queste si abbiano le seguenti istruzioni:

A pila		A un indirizzo		A due indirizzi	
Istruzione	Semantica	Istruzione	Semantica	Istruzione	Semantica
PUSH X	$M[X] \rightarrow \text{push}$	STORE X	$\text{ACC} \rightarrow M[X]$	MOV X1, X2	$M[X1] \rightarrow M[X2]$
POP X	$\text{pop} \rightarrow M[X]$	LOAD X	$M[X] \rightarrow \text{ACC}$	MUL X1, X2	$M[X1] * M[X2] \rightarrow M[X2]$
MUL	$\text{Pop} * \text{pop} \rightarrow \text{push}$	MUL X	$\text{ACC} * M[X] \rightarrow \text{ACC}$	SUB X1, X2	$M[X1] - M[X2] \rightarrow M[X2]$
SUB	$\text{pop1} - \text{pop2} \rightarrow \text{push}$	SUB X	$\text{ACC} - M[X] \rightarrow \text{ACC}$		

ACC è il registro accumulatore della macchina a un indirizzo.

$M\{X\}$ indica il dato nella locazione di memoria X.

Si scriva, per ognuna delle tre macchine, la sequenza delle istruzioni necessarie per realizzare la seguente operazione:

$$Z = (A * B) - (C * D).$$

Le lettere indicano le locazioni di memoria dove si trovano i dati.

Nella macchina a uno e a due indirizzi si faccia uso delle locazioni P1 e P2, dove introdurre i risultati parziali.

NB: *pop1* indica l'ultimo elemento inserito nella pila, *pop2* il penultimo.

Soluzione.

A pila	A un indirizzo	A due indirizzi
PUSH C	LOAD C	MOV A,P1
PUSH D	MUL D	MUL B,P1
MUL	STORE P1	MOV C,P2
PUSH A	LOAD A	MUL D,P2
PUSH B	MUL B	SUB P1,P2
MUL	SUB P1	MOV P2,Z
SUB	STORE Z	
POP Z		

ESERCIZIO 4 (8 punti)

Un bus sincrono presenta le seguenti caratteristiche:

- frequenza di clock: 800 MHz
- durata di una trasmissione sul bus: 4 cicli di clock
- ampiezza linea dati: 32 bit

a) Spiegare chiaramente il protocollo di lettura su bus sincrono (3 punti);

b) Calcolare la velocità di trasferimento (in MB/s) durante una operazione di lettura di un dato dalla memoria, sapendo che la memoria principale ha un tempo di ciclo pari a 40 ns e che ogni parola di memoria ha dimensione pari a 64 bit (4 punti).

Soluzione:

La durata di un ciclo di clock è pari a $1/(800 \text{ MHz}) = 1.25 \text{ ns}$

La lettura su un bus sincrono avviene secondo il protocollo seguente:

- Segnale di READ sulla linea di controllo e contemporaneamente l'indirizzo della locazione in cui risiede il dato sulla linea indirizzi:

4 cicli di clock = 5 ns

- Lettura della parola dalla memoria: 40 ns cioè 32 cicli di clock.
- Trasferimento della parola dalla memoria. La parola da leggere ha ampiezza pari a 64 bit.

trasferimento della parola = 4 (cicli/trasf) * 2 (trasf) * 1.25 (ns/ciclo) = 10 ns

Tempo totale per leggere una parola dalla memoria = 55 ns

Velocità di trasferimento = 8 B/ 55 ns @ 139 MB/s

