

University of Cagliari  
DIEE - Dept. of Electrical and Electronic Engineering  
EOLAB – Microelectronic Lab.

## Architetture on-chip

Sistemi di interconnessione di tipo Shared Bus

AMBA AHB

AMBA AHB Multilayer



# Outline

- **Introduzione**
- **AMBA bus specification**
- **AMBA AHB**
- **AMBA Multilayer**
- **AMBA AXI (cenni)**

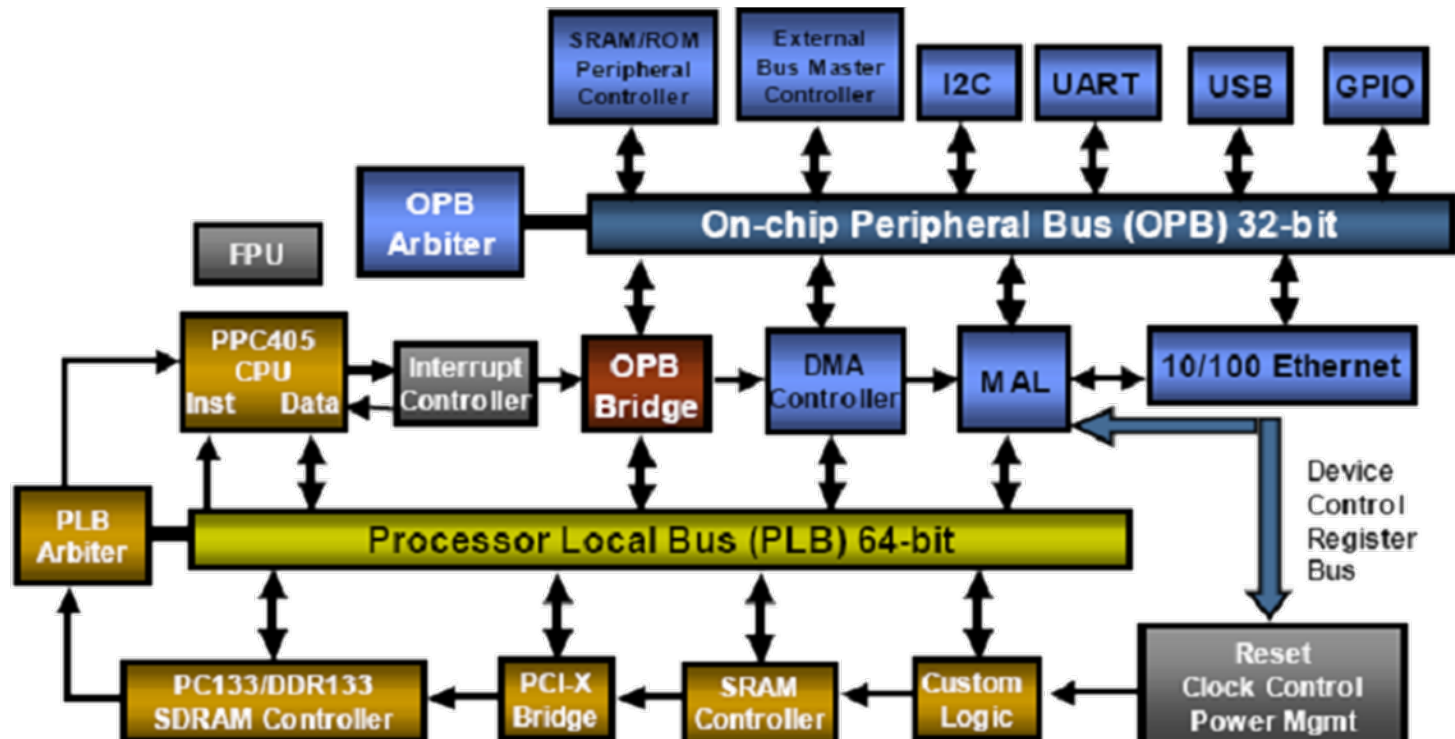
# Alternative

**Grandi produttori di semiconduttori** : ST Microelectronics (STbus)

IBM (CoreConnect)

**Core vendors** : ARM (AMBA bus)

**Interconnect IP vendors** : SiliconBackplane



# AMBA bus

**AMBA :**

**Advanced Microcontroller Bus Architecture**

Standard di comunicazione on-chip per la definizione di microcontrollori embedded con performance elevate

All'interno delle specifiche AMBA sono definiti tre diversi tipi di bus:

- **Advanced High-performance Bus (AHB)**
- **Advanced System Bus (ASB)**
- **Advanced Peripheral Bus (APB)**

# AMBA bus

- **AHB bus:** Sistema bus high performance. E' il nucleo di un sistema di interconnessione AMBA. Supporta la connessione a processori, a memorie on-chip e off-chip e l'interfaccia con celle per la gestione low-power della connessione con le periferiche.
- **ASB bus:** Sistema bus alternativo il cui utilizzo è indicato per le applicazioni in cui le caratteristiche high-performance di AHB non sono richieste. Supporta le stesse connessioni di AHB.
- **APB bus:** Sistema bus ottimizzato per un minimo consumo di potenza. La complessità dell'interfaccia è ridotta in maniera da supportare la connessione di periferiche lente. Può essere connesso con entrambe le versioni del bus di sistema.

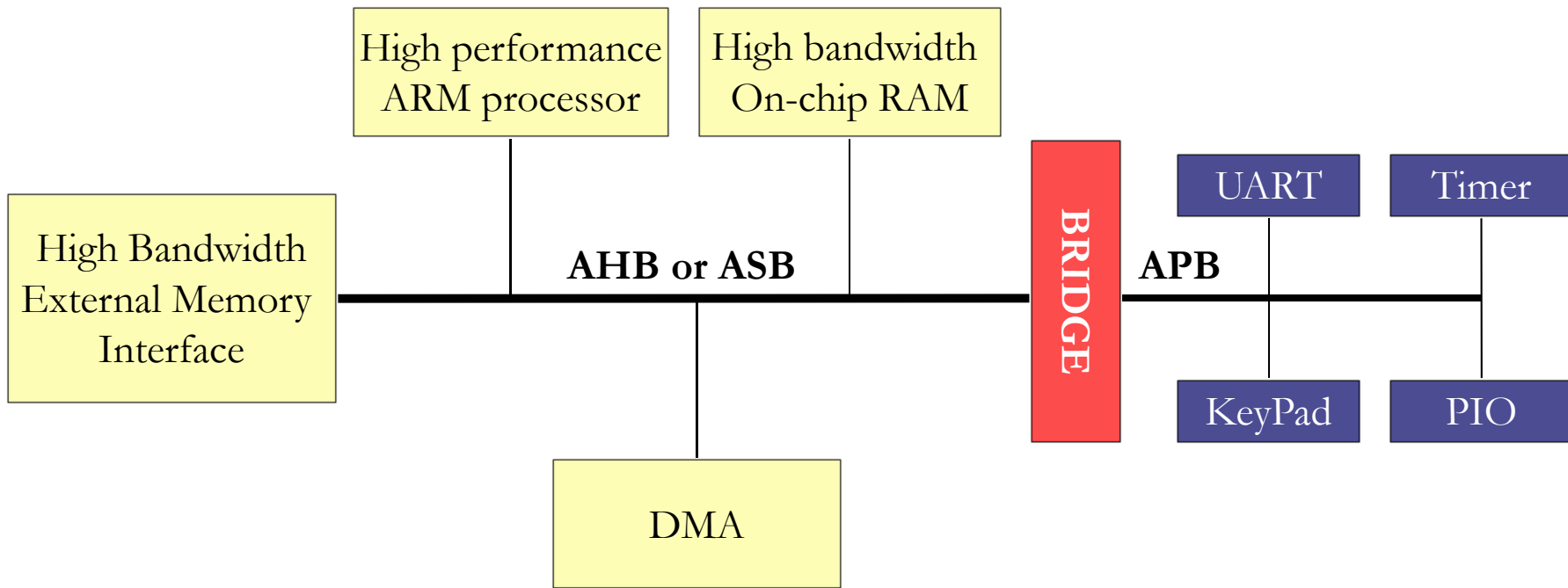
Le specifiche AMBA sono studiate per assicurare facilità di uso e di integrazione in un design flow che comprenda sia sintesi che fase di test automatico

# Obiettivi di AMBA

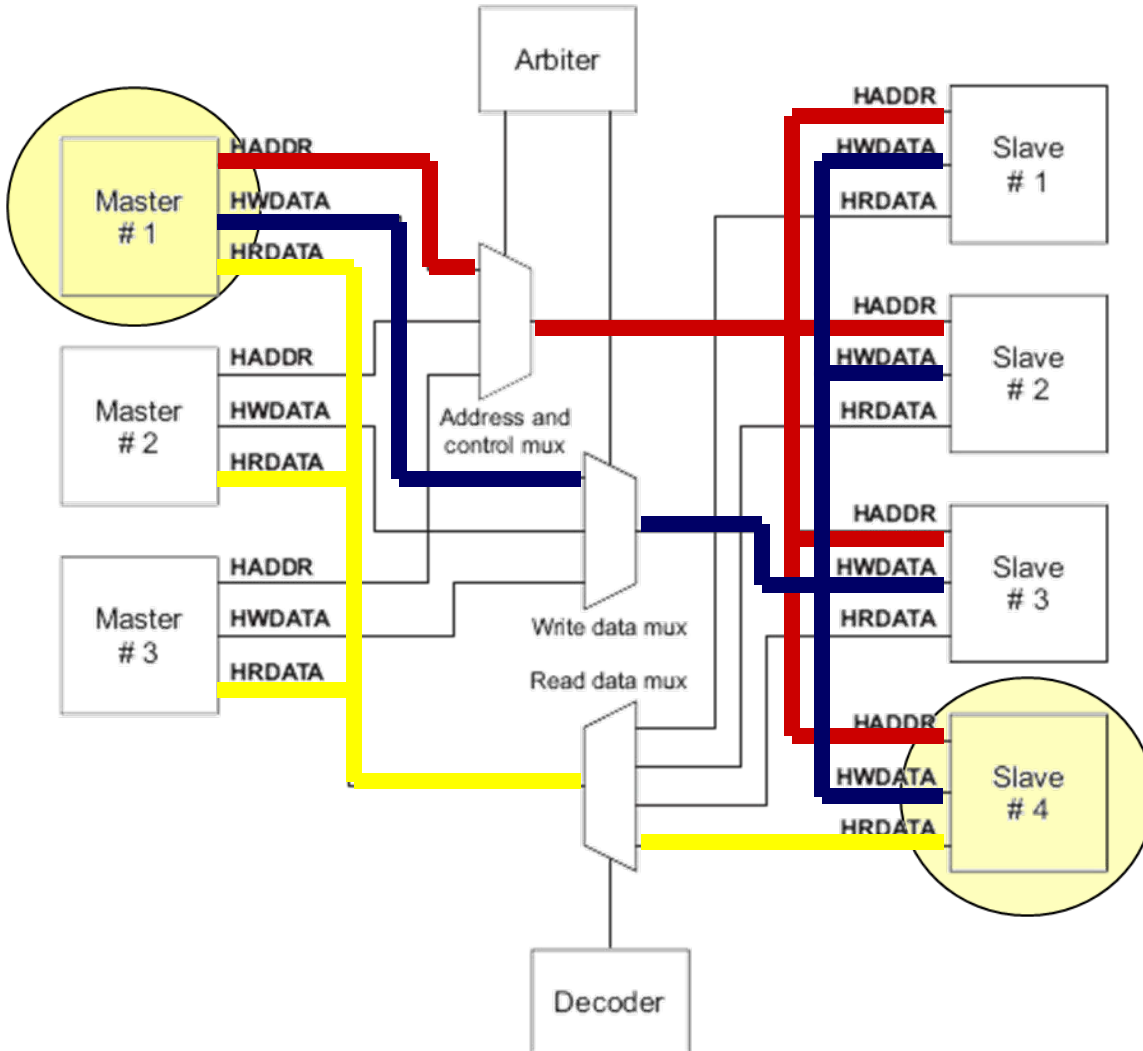
Lo sviluppo di AMBA si è posto 4 obiettivi fondamentali:

- right-first-time development
- technology-independent
- modular system
- minimizzazione dell'overhead di silicio dovuto alla comunicazione on chip e off-chip

# Un tipico sistema AMBA-based



# AMBA AHB - Datapath



- Schema di interconnessione a multiplexer centrale
- Tutti i master possono generare i segnali che indicano il trasferimento da effettuare.
- L'arbitro determina quali saranno i segnali che verranno propagati verso tutti gli slave.
- Un decoder centrale è necessario per identificare quale slave è coinvolto nella transazione e quali segnali di risposta propagare verso i master.



# Comunicazione su AMBA AHB

## Overview

- Un master richiede l'accesso al bus
- L'arbitro indica al master se ha ottenuto la risorsa richiesta.
- Una volta che l'accesso è stato garantito ogni trasferimento consiste in due fasi:

- Un ciclo di indirizzo e controllo

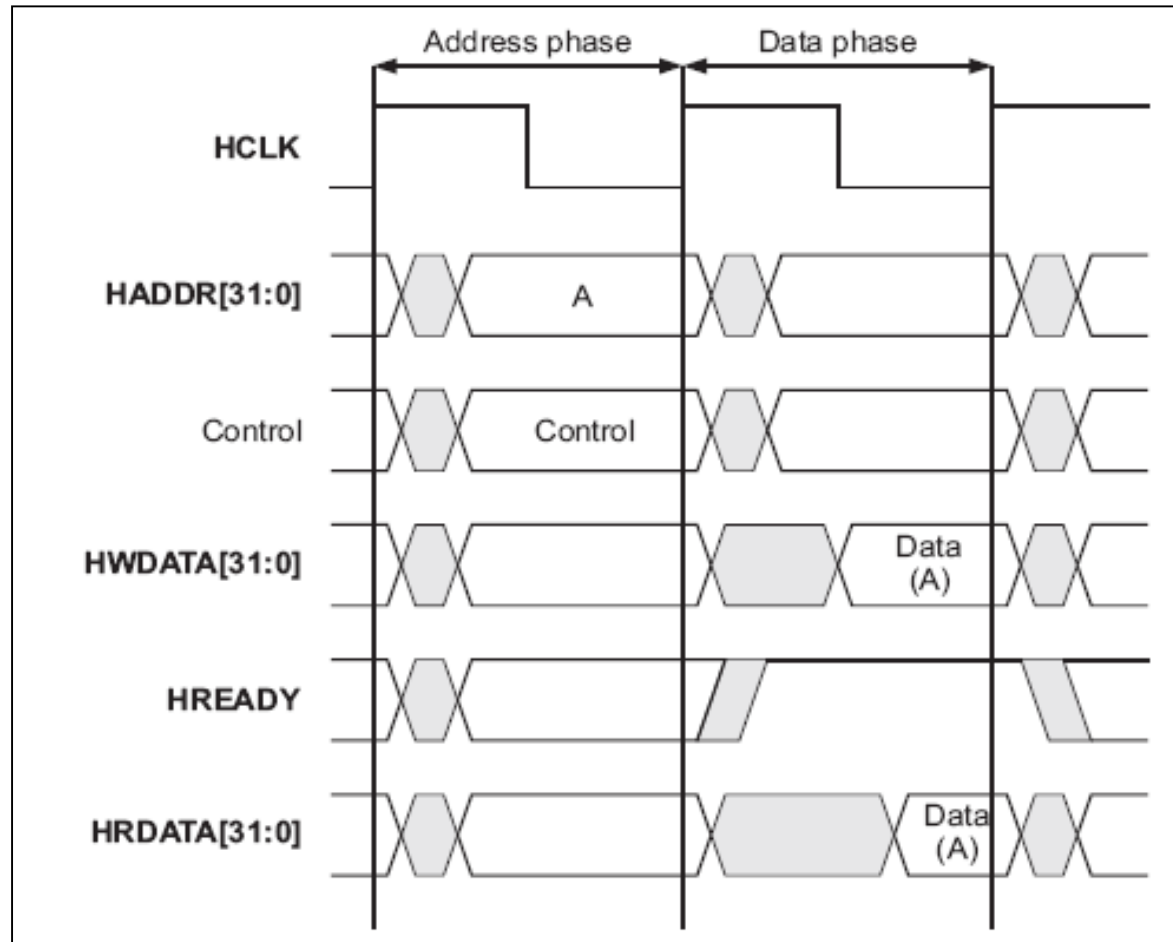
Il master che ha ricevuto il GRANT inizia il trasferimento pilotando i segnali relativi all'indirizzo e alla fase di controllo (indirizzo, direzione e dimensione della transazione, burstness)

- Uno o più cicli di dato (data cycles)

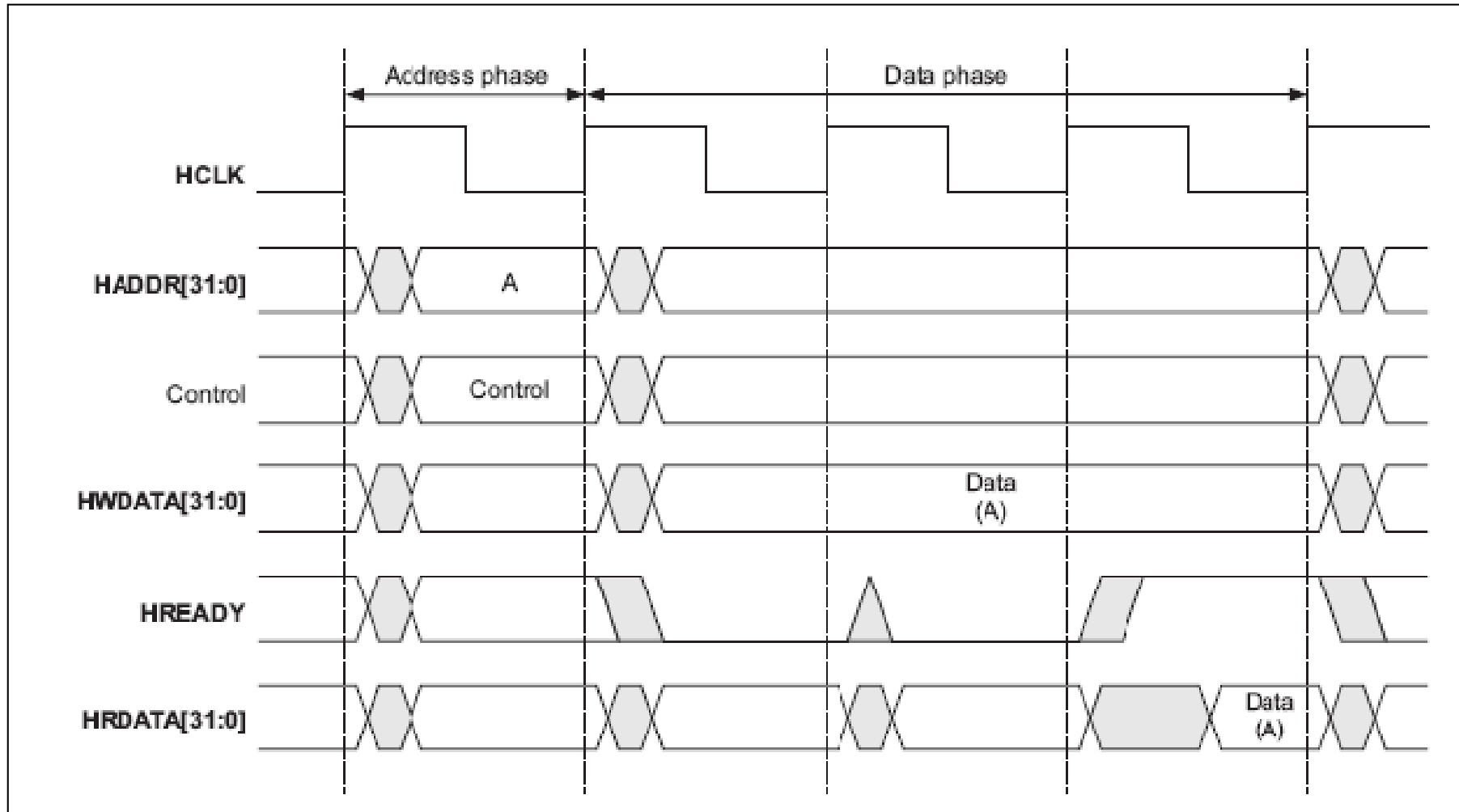
Il bus dati di scrittura viene usato per trasferire dei dati dal master a uno slave oppure quello di lettura viene utilizzato per spostare dati dallo slave al master.

La fase dati può durare più di un ciclo a seconda dello stato dello slave destinatario della transazione (HREADY HRESP)

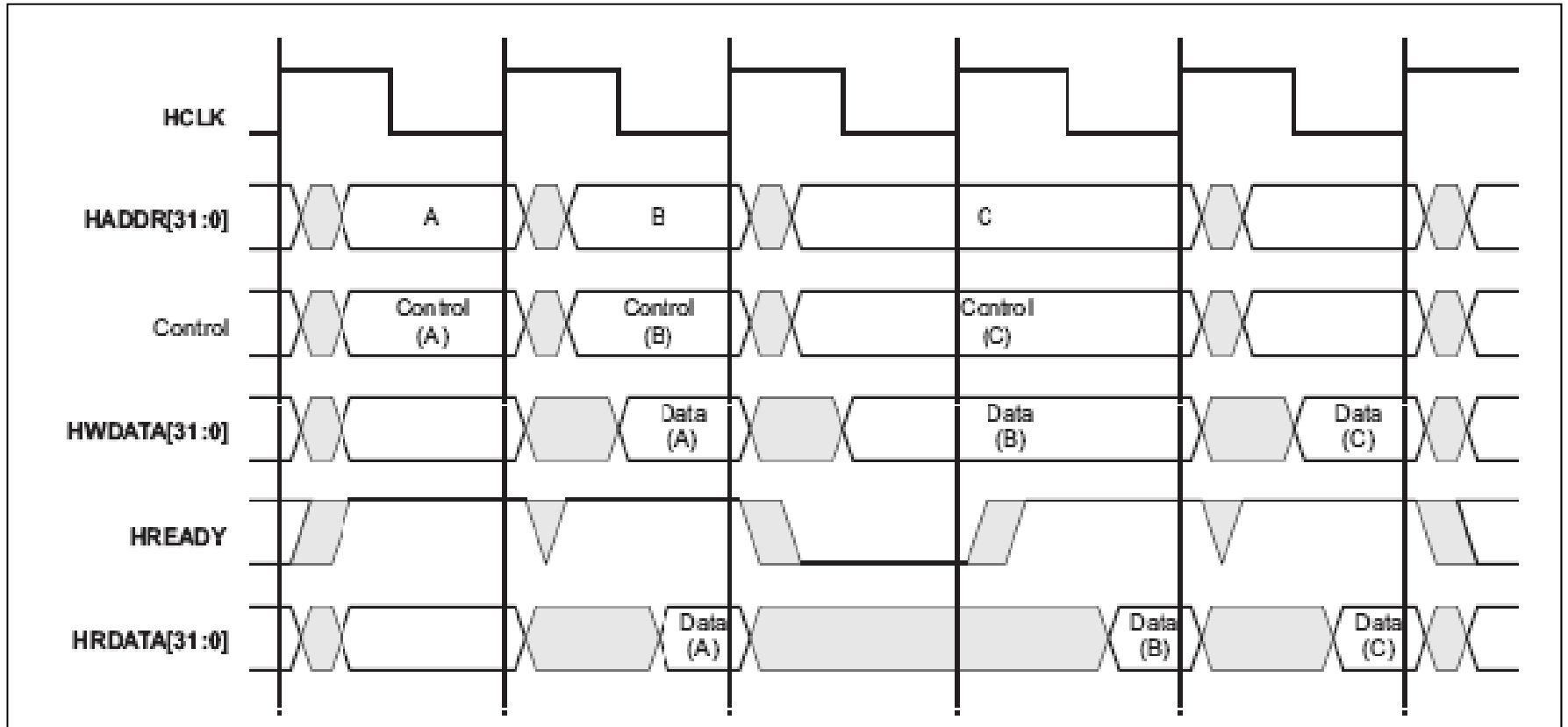
# Basic Transfer

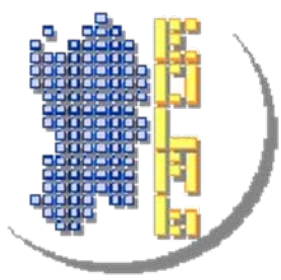


# Transfer with wait states

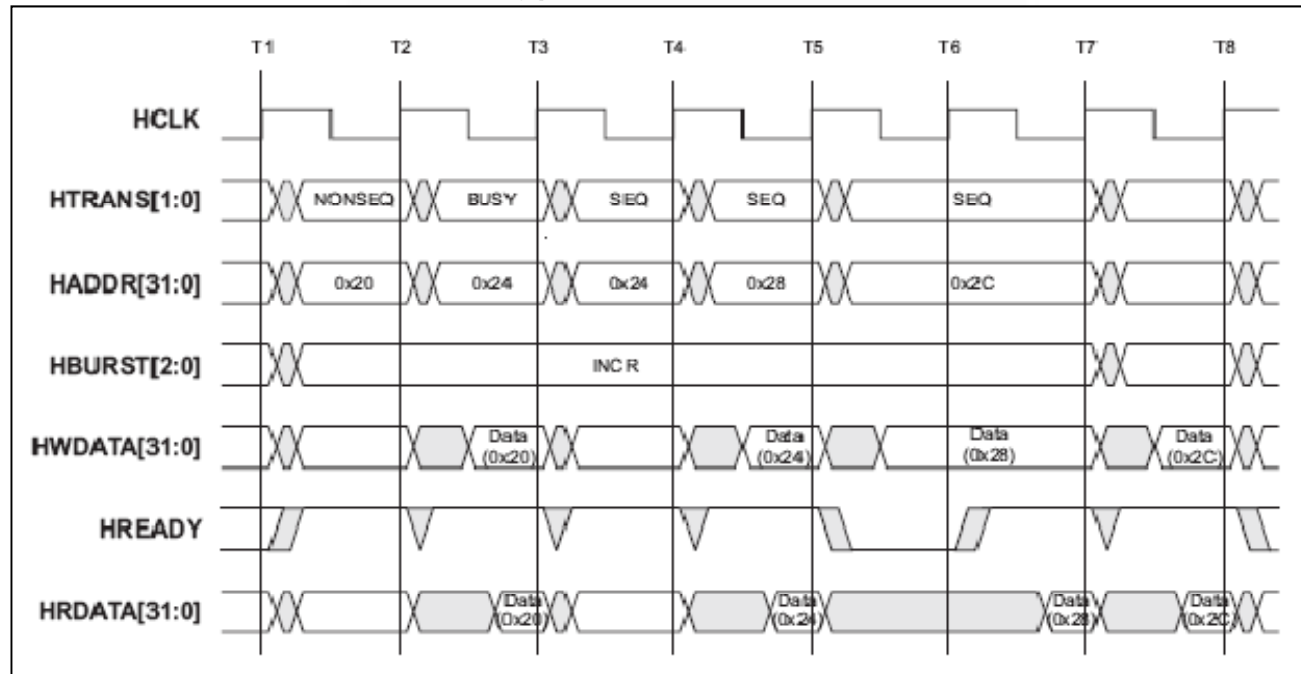


# Multiple transfers

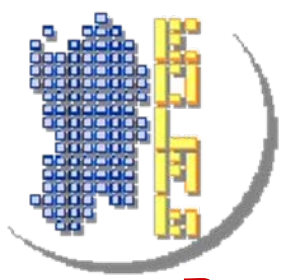




# Tipi di transfer



2'b00	IDLE	IDLE transfer is used when a master is granted but does not wish to perform a data transfer
2'b01	BUSY	Is used to insert IDLE cycles in the middle of a burst transfer
2'b10	NONSEQ	Indicates the first transfer of a burst or a single transfer
2'b11	SEQ	Indicates the remaining transfer of a burst



# Control signals

## •Burstness

### HBURST[2:0]

3'b000	SINGLE	3'b100	WRAP8
3'b001	INCR	3'b101	INCR8
3'b010	WRAP4	3'b110	WRAP16
3'b011	INCR4	3'b111	INC16

## •Transfer Direction

### HWRITE

**HIGH** il master manderà il dato in broadcast sul bus HWDATA[31:0]  
**LOW** la transazione in corso è una read e il dato sarà generato dallo slave sul bus dati HRDATA[31:0]

## •Transfer size

### HSIZE [2:0]

Indica la dimensione del dato da trasferire

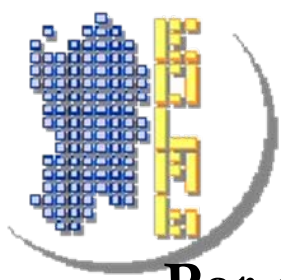
## •Protection control

### HPROT [3:0]

Indica se il trasferimento è :

- Un opcode fetch
- Un trasferimento ad accesso privilegiato o in modalità utente





# Slave status

Per comunicare il proprio stato lo slave pilota 2 segnali:

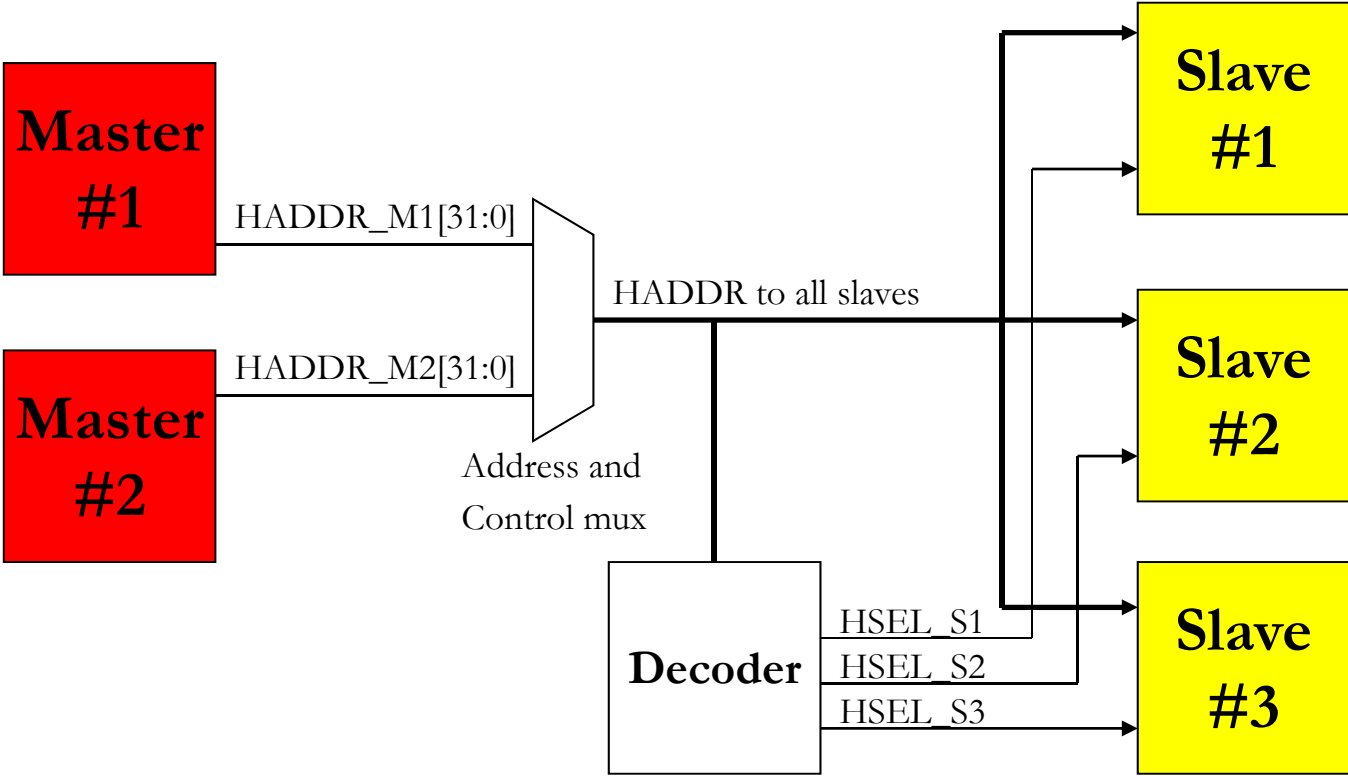
## •HREADY

1	Transfer done
0	Transfer extended

## •HRESP

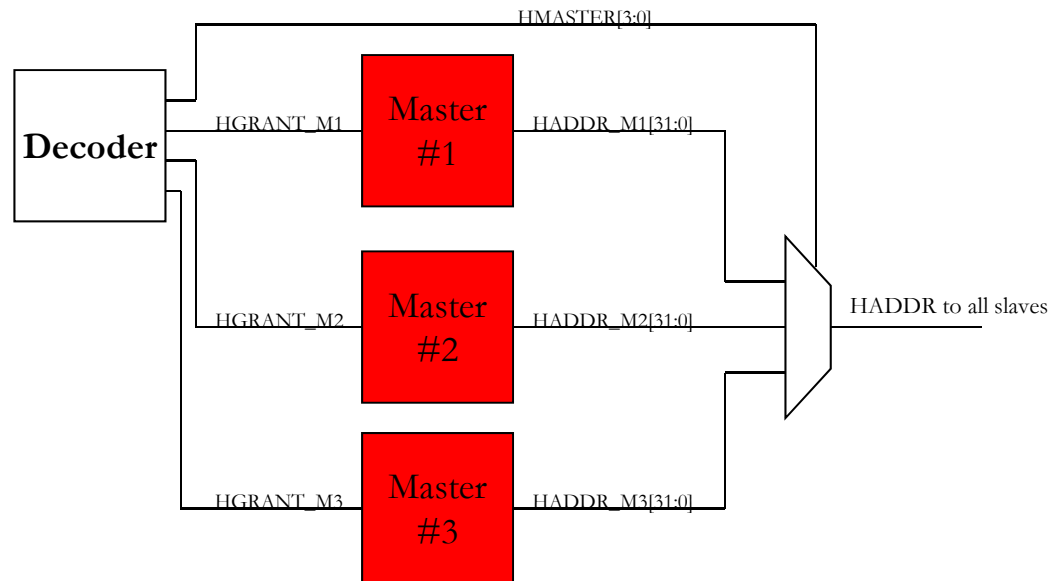
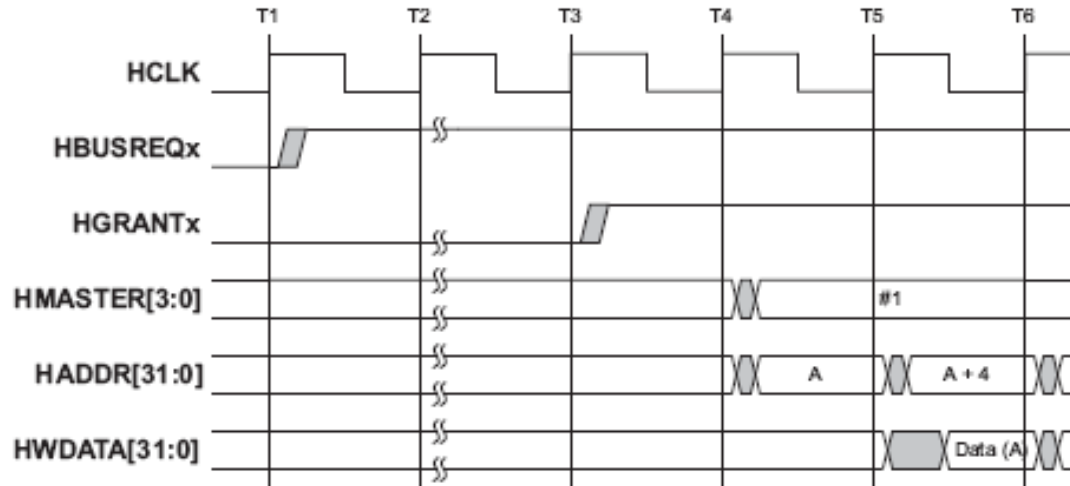
2'b00	OK	the transfer is progressing normally
2'b01	ERROR	a transfer error has occurred
2'b10	RETRY	The master should retry the transfer until it completes
2'b11	SPLIT	The master should retry the transfer when it is next granted

# Address decoding





# Arbitration



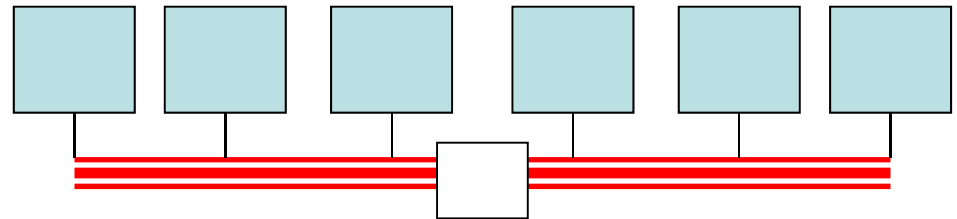
# Bus topologies

Un singolo bus condiviso è chiaramente non scalabile.

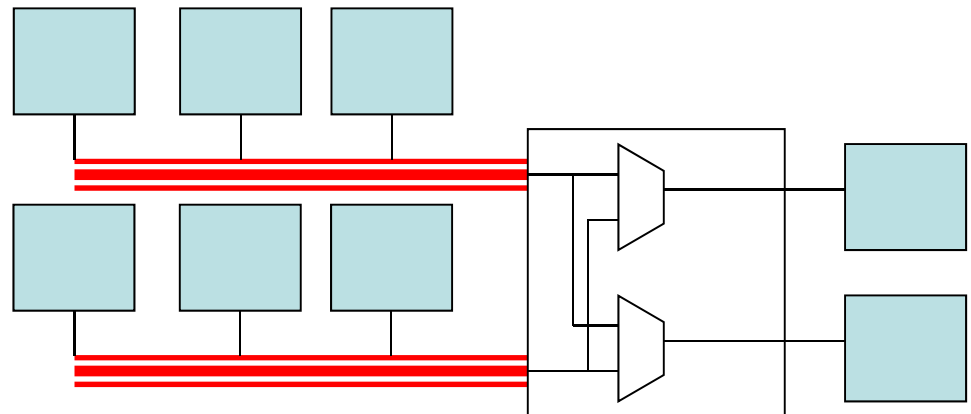
I progettisti utilizzano perciò come soluzione alternativa delle topologie di bus.

I bus sono interconnessi tra di loro secondo due approcci principali:

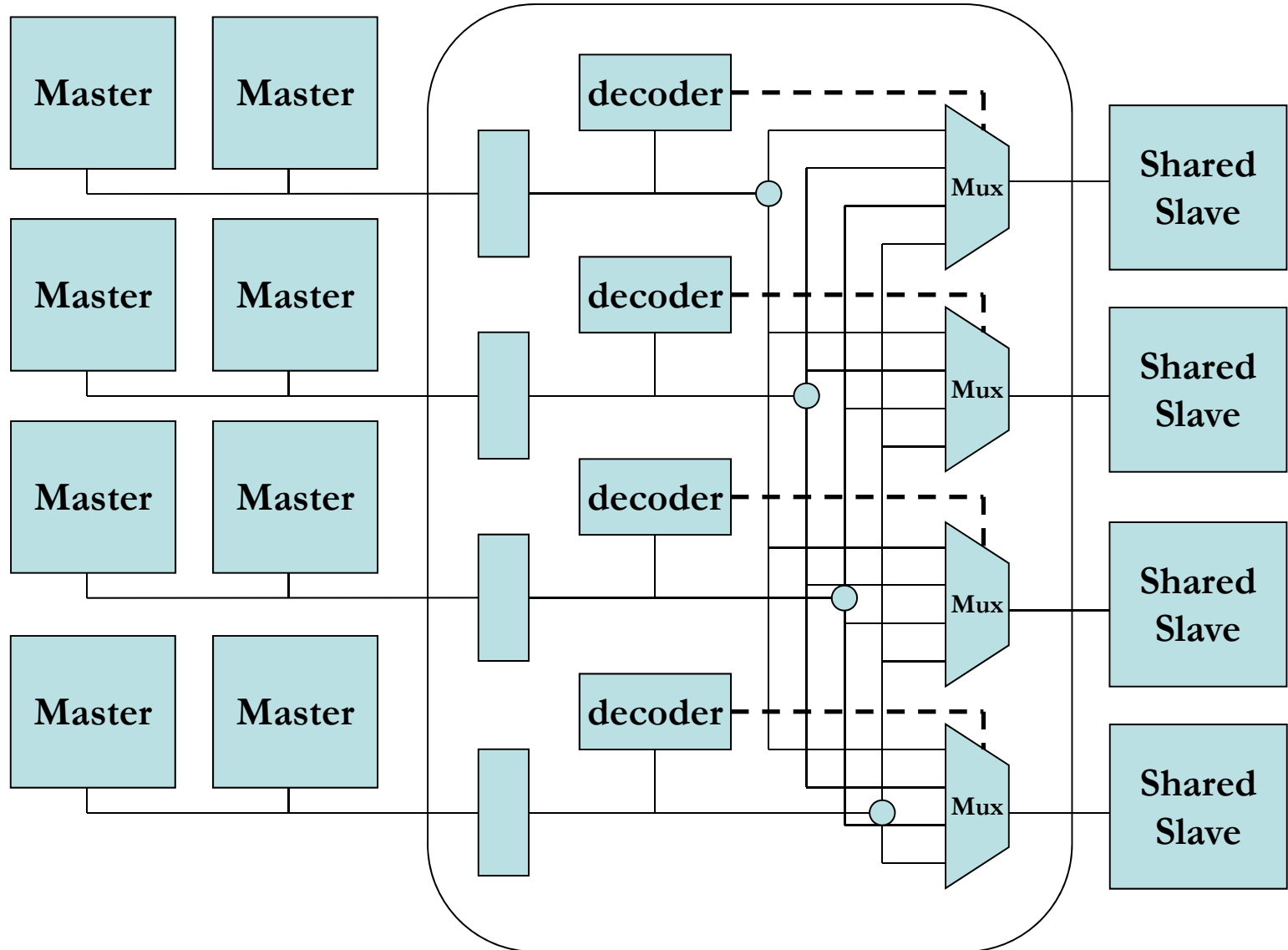
## Clustering and Bridging



## •Multilayer



# Multilayer



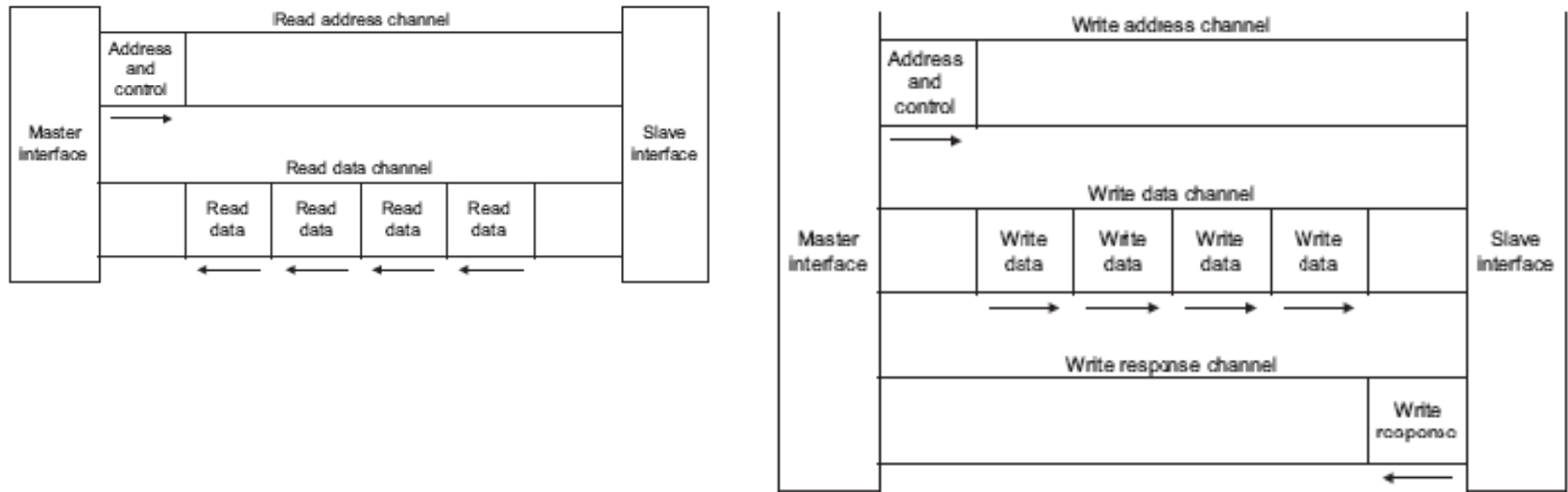
# AMBA AXI

**TARGET: sistemi high-performance, high-frequency.**

Le caratteristiche chiave del protocollo AXI sono:

- fasi address/control separate
- supporto per dati non allineati (byte strobes)
- transazioni burst-based
- canali separati per read e write per permettere *Direct Memory Access* (DMA) a basso costo
- multiple outstanding addresses
- riordinamento delle transazioni fuori ordine
- supporto per l'aggiunta di stadi di registri che permettano il rispetto delle constraint di timing.

# AMBA AXI channels



**Tutti e 5 i canali utilizzati per le transazioni sono indipendenti, consistono di un set di segnali necessari per il trasferimento dell'informazione e utilizzano un sistema di handshake di tipo VALID-READY**